

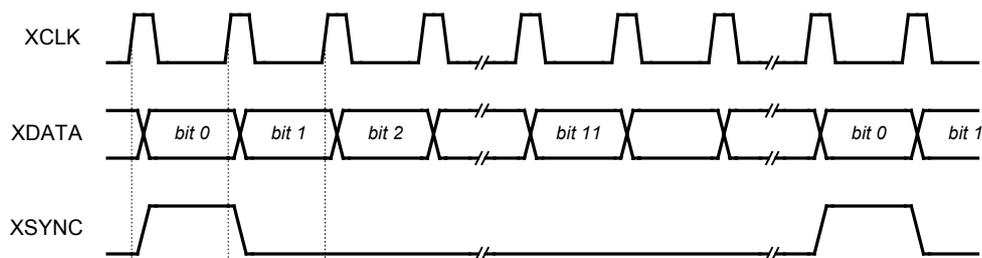
## Calcolatori Elettronici II (A-L)

### Sessione estiva – Appello del 23 luglio 2002

Cognome e nome \_\_\_\_\_  
Matricola \_\_\_\_\_

#### Prima prova (15 punti)

Un'interfaccia SERIN riceve in continuazione dal mondo esterno parole a 12 bit su una linea seriale **XDATA**, sincronizzate a un clock **XCLK** e a un segnale **XSYNC**:



dove il bit 0 è il bit meno significativo della parola. SERIN assembla i dati ricevuti e li invia in formato parallelo alla CPU PD32, che li dispone in un buffer circolare da 1024 word allocato all'indirizzo **7000000h**.

Progettare l'interfaccia SERIN e codificare il relativo software di pilotaggio.

- 
- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
  - Scrivere chiaramente e in maniera ordinata e leggibile.
  - Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
  - Tempo a disposizione: **2 ore**.
  - Discussione e verbalizzazione: Venerdì 26 luglio 2002, ore 09:00 (Aula 11, Via Scarpa)

## Calcolatori Elettronici II (A-L)

### Sessione estiva – Appello del 23 luglio 2002

Cognome e nome \_\_\_\_\_  
Matricola \_\_\_\_\_

### Seconda prova

1. **(5 punti)** Si voglia estendere il set di istruzioni della CPU MIPS con l'istruzione *Add Memory* in formato I:

`addm $rt,offset($rs) ; rt ← (rt) + Memory[offset+(rs)]`

Discutere le varianti all'architettura multiciclo della CPU necessarie per l'implementazione di tale istruzione e determinarne il diagramma degli stati per il controllo dell'esecuzione.

2. **(5 punti)** Una cache set-associativa ad  $N$  vie, con blocchi da  $B$  byte, ha una capacità totale di  $C$  byte di dati (tag esclusi). La CPU ad essa connessa opera con indirizzi da  $k$  bit e con dati da 32 bit. Determinare in funzione di  $k, N, B, C$ :
- il numero di set in cui è suddivisa la cache,
  - il numero totale di bit necessari per l'immagazzinamento dei tag,
  - le funzioni e le dimensioni dei vari campi in cui viene suddiviso l'indirizzo nell'accesso alla cache.

(Si assuma che  $N, B, C$  siano tutte potenze intere di 2, e si trascurino nel calcolo i bit di validità, dirty, etc.)

3. **(5 punti)** Un sistema di memoria virtuale ha le seguenti caratteristiche: indirizzo virtuale da 36 bit, pagine fisiche da 4 Kbyte, memoria fisica da 1 Gbyte. Assumendo il byte come minima unità indirizzabile, descrivere il meccanismo di paginazione corrispondente, e determinare le dimensioni della Page Table. (Si trascuri lo spazio necessario per i bit di validità, dirty, protezione, etc.; si trascuri anche lo spazio necessario per le informazioni di puntamento al disco rigido.)

- 
- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
  - Scrivere chiaramente e in maniera ordinata e leggibile.
  - Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
  - Tempo a disposizione: **2 ore**.
  - Discussione e verbalizzazione: Venerdì 26 luglio 2002, ore 09:00 (Aula 11, Via Scarpa)