

Calcolatori Elettronici II (A-L)

Appello del 9 dicembre 2003

Cognome e nome _____

Matricola _____

Prima prova (15 punti)

Progettare un DMA Controller per il trasferimento di dati dalla memoria del PD-32 verso il mondo esterno in modo che la CPU abbia la possibilità di definire, con l'invio di opportuni comandi al Controller stesso:

- l'**ampiezza delle parole** trasferite: byte, word, oppure doubleword;
- il **verso di scansione** dell'area di memoria interessata: per indirizzi crescenti, oppure decrescenti;
- la **modalità di trasferimento**: a burst oppure in cycle stealing.

-
- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
 - Scrivere chiaramente e in maniera ordinata e leggibile.
 - Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
 - Tempo a disposizione: **2 ore**.
 - Discussione e verbalizzazione: ~~Lunedì 15 dicembre 2003, ore 09:00, Aula 2~~ Giovedì 11 dicembre 2003, ore 09:00, Aula 5 (Via del Castro Laurenziano).

Calcolatori Elettronici II (A-L)

Appello del 9 dicembre 2003

Cognome e nome _____

Matricola _____

Seconda prova

1. **(5 punti)** Descrivere l'architettura di una cache set-associativa a 2 vie, con capacità di 512 KByte (tag e bit di controllo esclusi) e lunghezza di blocco pari a 8 parole da 32 bit.

2. **(5 punti)** Si voglia implementare l'istruzione MIPS *branch on greater or zero and link*

bgezal \$rs, offset

in cui viene testato il registro $\$rs$: se il suo contenuto risulta maggiore o uguale a zero, il valore corrente del Program Counter viene salvato nel registro $\$r31$ e viene quindi eseguito il branch all'offset specificato, relativamente al Program Counter; altrimenti, l'esecuzione procede in sequenza.

Stabilire se e quali varianti all'architettura pipeline della CPU siano necessarie per l'implementazione di tale istruzione, ed evidenziare il flusso dei dati nelle varie fasi della sua esecuzione.

3. **(5 punti)** Per ciascuna delle seguenti affermazioni, contrassegnare la casella o la casella a seconda che essa sia considerata vera o, rispettivamente, falsa:

Una CPU con frequenza di clock da 400 MHz è dotata di cache con hit time = 1 clock e miss penalty = 8 clock; allora il tempo medio di accesso alla memoria è maggiore di 23 nanosecondi.

La tecnica di *memory mapped I/O* può essere utilizzata soltanto con quelle CPU che non dispongono di istruzioni di input/output.

Il Page Table Register contiene la lunghezza della Page Table.

La sequenza di istruzioni MIPS

```
xor $r3,$r1,$r2
```

```
xor $r2,$r2,$r3
```

```
xor $r1,$r1,$r3
```

scambia tra loro i contenuti dei registri $\$r1$, $\$r2$.

Una cache usa modalità di scrittura di tipo *write back*. Allora per ogni blocco valido B in essa presente esiste sempre una copia di B anche in memoria principale.

-
- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
 - Scrivere chiaramente e in maniera ordinata e leggibile.
 - Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
 - Tempo a disposizione: **2 ore**.
 - Discussione e verbalizzazione: ~~Lunedì 15 dicembre 2003, ore 09:00, Aula 2~~ ~~Giovedì 11 dicembre 2003, ore 09:00, Aula 5 (Via del Castro Laurenziano).~~