Università degli Studi di Roma "La Sapienza" – Corso di Laurea in Ingegneria Informatica a.a. 2004-2005

## Calcolatori Elettronici II (A-L) Appello del 6 luglio 2005

Cognome:		Nome:	
	Matricola:		

## Prima prova (15 punti)

Un'interfaccia IFABS riceve in continuazione da un bus externo XDATA<sub>0-15</sub> dati numerici paralleli a 16 bit in complemento a 2, sincronizzati a un clock esterno XCLK. Su comando della CPU, IFABS procede all'acquisizione di un blocco da 1024 dati, dei quali calcola il massimo e il minimo dei valori assoluti:

$$A = \max_{i} |x_{i}| \qquad B = \min_{i} |x_{i}|$$

Questi due risultati vengono quindi trasmessi alla CPU che calcola il valore

$$U = \frac{A+B}{2}$$

e aggiorna le seguenti locazioni di memoria:

- AMIN con il minimo tra tutti i valori *A* acquisiti;
- BMAX con il massimo tra tutti i valori *B* acquisiti;
- UMIN e UMAX col minimo e, rispettivamente, il massimo tra tutti i valori U calcolati.

Progettare l'hardware della periferica e codificare il relativo software di pilotaggio, corredandolo di adeguati commenti.

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile	

<sup>•</sup> Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.

<sup>•</sup> Scrivere chiaramente e in maniera ordinata e leggibile.

<sup>•</sup> Non è consentito consultare libri o appunti, ed è severamente proibito copiare.

<sup>•</sup> Tempo a disposizione: 2 ore.

Discussione e verbalizzazione: Lunedì 11 luglio 2005, ore 09:00, Aula 5 (Via del Castro Laurenziano).

Università degli Studi di Roma "La Sapienza" – Corso di Laurea in Ingegneria Informatica a.a. 2004-2005

## Calcolatori Elettronici II (A-L) Appello del 6 luglio 2005

Cognome:		Nome:	
	Matricola:		

## Seconda prova

- 1. **(5 punti)** Descrivere l'architettura di una cache set-associativa a 4 vie, con capacità di 1 MByte (tag e bit di controllo esclusi) e lunghezza di blocco pari a 4 parole da 32 bit.
- 2. **(5 punti)** Descrivere i *conflitti di controllo* nelle CPU dotate di pipeline e discutere i metodi per la loro risoluzione.
- 3. **(5 punti)** Discutere la funzione del Translation Lookaside Buffer (TLB) nei sistemi di memoria virtuale e descriverne l'organizzazione.

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

•••••	• • • • • • • • • • • • • • • • • • • •	 

<sup>•</sup> Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.

<sup>•</sup> Scrivere chiaramente e in maniera ordinata e leggibile.

<sup>•</sup> Non è consentito consultare libri o appunti, ed è severamente proibito copiare.

<sup>•</sup> Tempo a disposizione: 2 ore.

<sup>•</sup> Discussione e verbalizzazione: Lunedì 11 luglio 2005, ore 09:00, Aula 5 (Via del Castro Laurenziano).