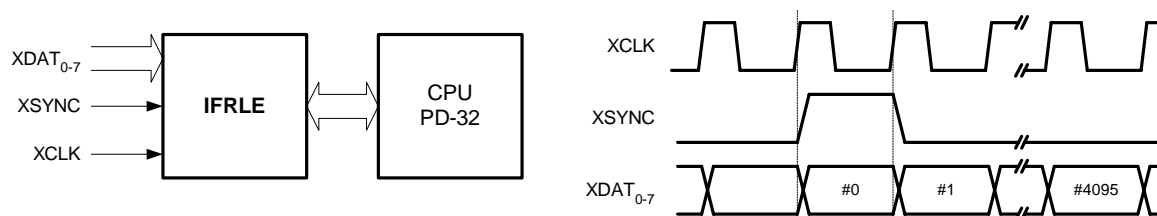


## Calcolatori Elettronici II (A-L) Appello del 14 settembre 2005

Cognome: ..... Nome: .....  
Matricola: .....

### Prima prova (15 punti)

Un'interfaccia IFRLE riceve in continuazione da un bus esterno  $XDAT_{0-7}$  dati paralleli a 8 bit, sincronizzati a un clock esterno  $XCLK$  e a un segnale  $XSYNC$  che individua l'inizio di un blocco di 4096 dati.



L'interfaccia comprime il blocco con un algoritmo di *run-length encoding* in cui una sequenza di  $N$  byte uguali consecutivi di valore  $X$  viene trasformata nella coppia di byte  $\{ X, N \}$ ; se  $N > 255$ , la sequenza viene suddivisa nel minimo numero di sottosequenze di lunghezza inferiore a 256, ciascuna codificata come sopra. Ad esempio, la sequenza  $\{ 23\ 23\ 23\ 23\ 23 \}$  viene codificata come  $\{ 23\ 05 \}$ , mentre una sequenza di 1000 byte uguali a 37 viene codificata come  $\{ 37\ 255\ 37\ 255\ 37\ 255\ 37\ 235 \}$ .

Il software di controllo su CPU PD-32 è organizzato sotto forma di subroutine che:

- accetta come argomenti il puntatore a un buffer e la sua lunghezza;
- avvia la compressione di un blocco di dati;
- acquisisce i risultati della compressione e li dispone ordinatamente nel buffer;
- restituisce al chiamante il numero totale di byte scritti nel buffer, oppure il valore 0 se la dimensione del buffer è insufficiente a contenere i risultati della compressione.

Progettare l'hardware dell'interfaccia e codificare la relativa subroutine di pilotaggio, corredandola di adeguati commenti.

- 
- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
  - Scrivere chiaramente e in maniera ordinata e leggibile.
  - Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
  - Tempo a disposizione: **2 ore**.
  - Discussione e verbalizzazione: Mercoledì 21 settembre 2005, ore 09:00, Aula 7 (Via del Castro Laurenziano).

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

.....

## Calcolatori Elettronici II (A-L) Appello del 14 settembre 2005

Cognome: ..... Nome: .....  
Matricola: .....

### Seconda prova

1. **(5 punti)** Una CPU opera con clock da 200 MHz e con una cache ad accesso diretto avente hit time pari a un singolo ciclo di clock e miss penalty di 300 nsec. In tali condizioni, le misurazioni forniscono un tempo medio di accesso alla memoria di 125 nsec. Se la cache ad accesso diretto viene sostituita con una di tipo set-associativo, in cui il miss rate diminuisce del 30%, di quanto migliorerà il tempo medio di accesso alla memoria?
2. **(5 punti)** Si voglia estendere il set di istruzioni della CPU MIPS con l'istruzione *Jump Indirect* in formato I:

`jm offset($rs) ; PC ← Memory[offset+($rs)]`

Discutere le varianti all'architettura multiciclo della CPU necessarie per l'implementazione di tale istruzione, e determinarne il diagramma degli stati per il controllo dell'esecuzione.

3. **(5 punti)** Una cache set-associativa ad  $N$  vie, con blocchi da  $B$  byte, ha una capacità totale di  $C$  byte di dati (tag esclusi). La CPU ad essa connessa opera con indirizzi da  $k$  bit e con dati da 32 bit. Determinare in funzione di  $k, N, B, C$ :
  - il numero di set in cui è suddivisa la cache,
  - il numero totale di bit necessari per l'immagazzinamento dei tag,
  - le funzioni e le dimensioni dei vari campi in cui viene suddiviso l'indirizzo nell'accesso alla cache.

(Si assuma che  $N, B, C$  siano tutte potenze intere di 2, e si trascurino nel calcolo i bit di validità, dirty, etc.)

- 
- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
  - Scrivere chiaramente e in maniera ordinata e leggibile.
  - Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
  - Tempo a disposizione: **2 ore**.
  - Discussione e verbalizzazione: Mercoledì 21 settembre 2005, ore 09:00, Aula 7 (Via del Castro Laurenziano).

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

.....