

Calcolatori Elettronici II (A-L) Appello del 16 dicembre 2005

Cognome: Nome:
Matricola:

Prima prova (15 punti)

Un'interfaccia IFSUM comprende:

- un modulo di tastiera (Fig. 1a) che, alla pressione di un tasto, genera un codice a 4 bit K_{3-0} corrispondente al carattere impresso sul tasto e un impulso di validazione $KSTB$ (Fig. 1b);
- un modulo di display a 12 caratteri (Fig. 2a) che accetta in ingresso un codice di posizione DP_{3-0} (il carattere più a sinistra ha posizione 0, quello più a destra ha posizione 11), un codice di carattere DD_{3-0} e un impulso di validazione $DSTB$ (Fig. 2b); l'attivazione di $DSTB$ produce la visualizzazione del carattere dato nella posizione specificata.

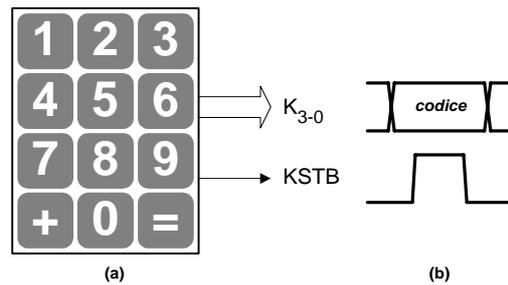


Fig. 1

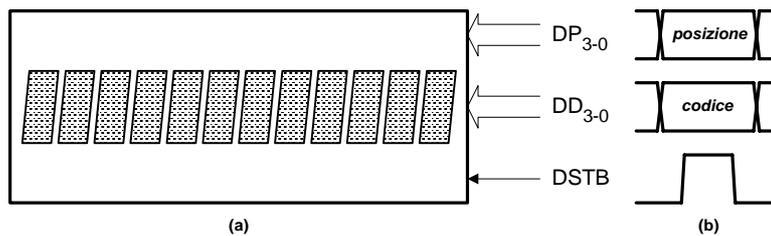


Fig. 2

I codici utilizzati sono i normali codici BCD per i caratteri numerici, più le combinazioni **1010** per il simbolo **+** e **1011** per il simbolo **=**; la combinazione **1111** viene inoltre accettata dal display come codice di cancellazione.

L'utente imposta due o più operandi numerici separati dal segno **+** e conclude l'operazione premendo il tasto **=**; l'interfaccia IFSUM trasmette le informazioni relative alla CPU PD-32, la quale, oltre a presentare sul display i caratteri quando vengono impostati su tastiera, esegue le operazioni di somma richieste e visualizza il risultato sul display. Se il risultato supera le 12 cifre, vengono presentati 12 simboli **+**.

Progettare l'hardware per l'interfacciamento dei moduli al bus della CPU e codificare il relativo software di pilotaggio, corredandolo di adeguati commenti.

- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
- Scrivere chiaramente e in maniera ordinata e leggibile.
- Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
- Tempo a disposizione: **2 ore**.
- Discussione e verbalizzazione: Martedì 20 dicembre 2005, ore 09:00, Aula 5 (Via del Castro Laurenziano).

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

.....

Calcolatori Elettronici II (A-L) Appello del 16 dicembre 2005

Cognome: Nome:
Matricola:

Seconda prova

- (5 punti)** In un sistema di elaborazione la memoria di massa è utilizzata per il 75% del tempo. Di quanto occorrerà aumentare la velocità di tale unità affinché le prestazioni del sistema aumentino del 60%?
- (5 punti)** Si voglia implementare l'istruzione MIPS-32 *Branch on Equal And Link*
beqal \$rs, offset
in cui viene testato il registro \$rs: se il suo contenuto risulta uguale a zero, il valore corrente del Program Counter viene salvato nel registro \$r31 e viene quindi eseguito il branch all'offset specificato, relativamente al Program Counter; altrimenti, l'esecuzione procede in sequenza.
Stabilire se e quali varianti all'architettura pipeline della CPU siano necessarie per l'implementazione di tale istruzione, ed evidenziare il flusso dei dati nelle varie fasi della sua esecuzione.
- (5 punti)** Descrivere l'architettura di una cache set-associativa a 2 vie, con capacità di 2 MByte (tag e bit di controllo esclusi) e lunghezza di blocco pari a 8 parole da 32 bit; evidenziare inoltre i vari campi in cui viene suddiviso l'indirizzo applicato alla cache e discutere la loro funzione.

-
- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
 - Scrivere chiaramente e in maniera ordinata e leggibile.
 - Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
 - Tempo a disposizione: **2 ore**.
 - Discussione e verbalizzazione: Martedì 20 dicembre 2005, ore 09:00, Aula 5 (Via del Castro Laurenziano).

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

.....