

## Calcolatori Elettronici II (A-L) Appello del 6 luglio 2006

Cognome: ..... Nome: .....  
Matricola: .....

### Prima prova (15 punti)

Un'interfaccia IFCMP opera come *coprocessore* per l'esecuzione di moltiplicazioni tra numeri complessi, rappresentati come coppie ordinate di numeri reali floating-point a 32 bit. L'interfaccia riceve dalla CPU PD-32 due operandi complessi  $X = X_R + jX_I$ ,  $Y = Y_R + jY_I$ , dove  $j = \sqrt{-1}$  è l'unità immaginaria, e trasmette alla CPU il risultato

$$Z = Z_R + jZ_I = (X_R Y_R - X_I Y_I) + j(X_R Y_I + X_I Y_R)$$

L'hardware dell'interfaccia utilizza **un singolo** modulo sequenziale FPMA (*Floating-Point Multiply/Add*, Fig. 1) per l'esecuzione dell'operazione  $R = A \pm BC$ , dove  $A, B, C, R$  sono numeri **reali** floating-point a 32 bit; oltre alla moltiplicazione, il modulo esegue una somma o una sottrazione a seconda che il suo ingresso ADD sia attivo o meno; l'inizio e il termine delle operazioni del modulo sono determinati dai segnali presenti rispettivamente all'ingresso BEGIN e all'uscita END (Fig. 2).

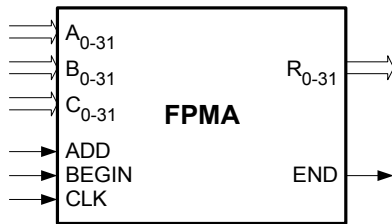


Fig. 1

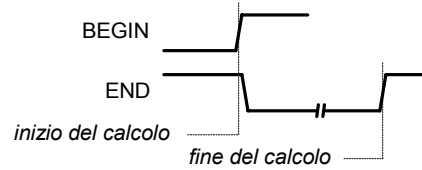


Fig. 2

Il software di pilotaggio è organizzato sotto forma di subroutine che riceve in ingresso:

- un intero  $N > 0$ ;
- i puntatori a due tavole XTABLE, YTABLE, che contengono rispettivamente  $N$  numeri complessi  $X[i]$  ed  $N$  numeri complessi  $Y[i]$ ;
- il puntatore a una tavola ZTABLE nella quale, dopo l'esecuzione dei calcoli necessari, dovranno essere immagazzinati gli  $N$  risultati  $Z[i] = X[i] \cdot Y[i]$ .

Progettare l'hardware dell'interfaccia e codificare la relativa subroutine di pilotaggio, corredandola di adeguati commenti.

#### NOTE:

1. Il modulo FPMA **non** deve essere progettato.
2. Il valore 0, qualora necessario, è rappresentato in floating-point come 32 bit tutti uguali a zero.

- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
- Scrivere chiaramente e in maniera ordinata e leggibile.
- Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
- Tempo a disposizione: **2 ore**.
- Discussione e verbalizzazione: Giovedì 13 luglio 2006, ore 09:00, Aula 1 (Via del Castro Laurenziano).

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

.....

## Calcolatori Elettronici II (A-L) Appello del 6 luglio 2006

Cognome: ..... Nome: .....  
Matricola: .....

### Seconda prova

1. **(5 punti)** Descrivere l'organizzazione di una cache set-associativa a 4 vie, con capacità di 4 MByte (tag e bit di controllo esclusi) e lunghezza di blocco pari a 8 parole da 32 bit; evidenziare inoltre i vari campi in cui viene suddiviso l'indirizzo a 32 bit applicato alla cache e discutere la loro funzione.
2. **(5 punti)** Un programma viene eseguito in 2.1 secondi; una sua subroutine, che viene richiamata 70 volte nel corso del programma, richiede un tempo di esecuzione di 10 milisecondi. Se la subroutine viene riscritta in modo da risultare il 75% più veloce, di quanto aumenterà la velocità dell'intero programma?
3. **(5 punti)** Descrivere le circostanze in cui si verificano conflitti di dati in una CPU MIPS-32 organizzata in pipeline, e discutere le tecniche per ridurre o eliminare gli stalli che ne conseguono.

- 
- Utilizzare questo foglio come cartellina per contenere i fogli con le risposte.
  - Scrivere chiaramente e in maniera ordinata e leggibile.
  - Non è consentito consultare libri o appunti, ed è severamente proibito copiare.
  - Tempo a disposizione: **2 ore**.
  - Discussione e verbalizzazione: Giovedì 13 luglio 2006, ore 09:00, Aula 1 (Via del Castro Laurenziano).

*Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.*

Firma leggibile

.....