RETI LOGICHE

APPELLO DEL 12-12-2005 - TEMA A

STUDENTE:_____ V.O. □ N.O. □

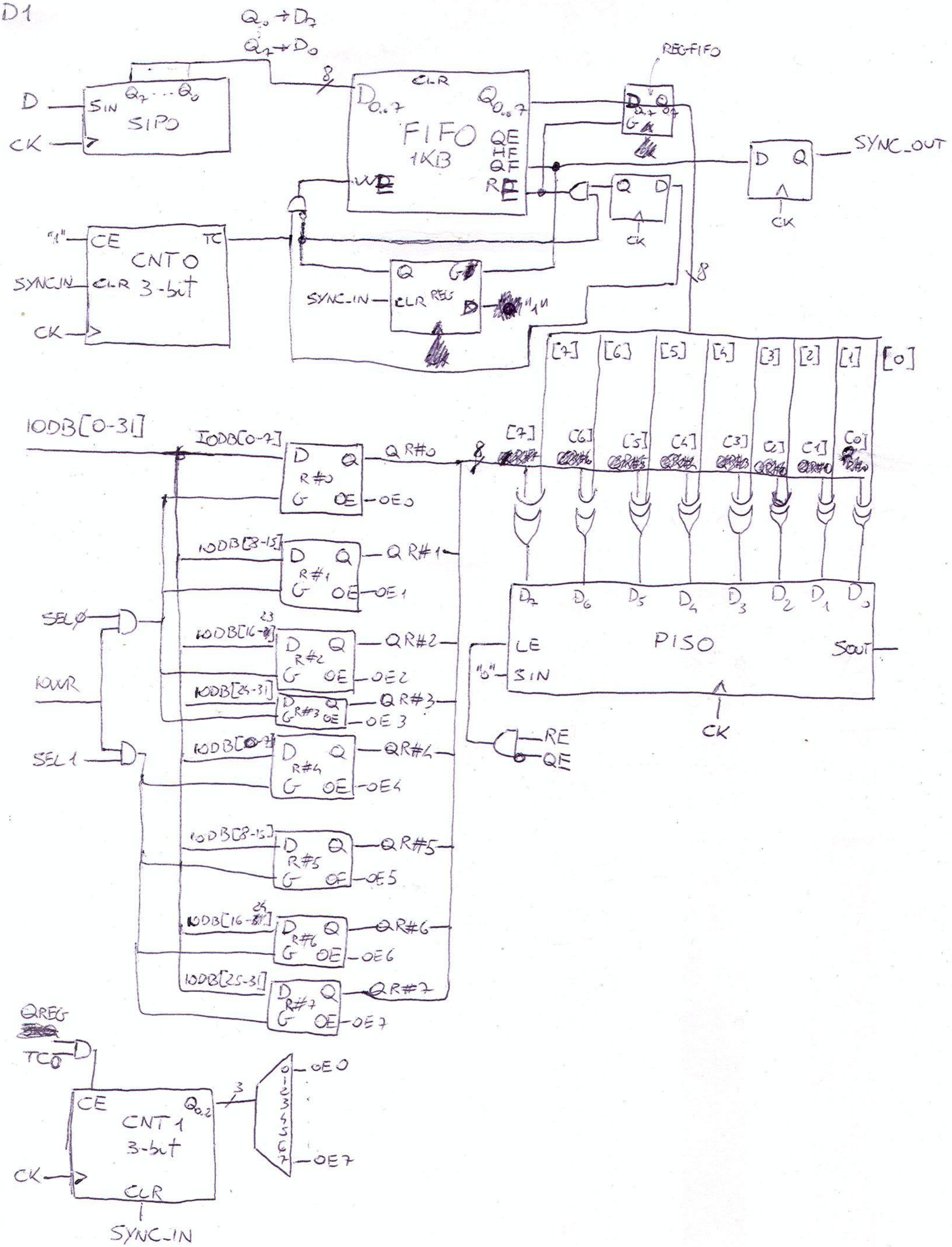
D1 (60%) - Un processore crittografico acquisisce un messaggio di lunghezza 1 Kbyte, bit a bit, su una linea seriale D sincronizzata con un segnale di clock CK. Il bit iniziale (bit 0 del byte 0) del messaggio è segnalato con un impulso su una linea SYNC_IN sincrona con CK. I byte ricevuti vengono memorizzati in una memoria FIFO da 1 Kbyte. Terminata la memorizzazione del messaggio, il processore estrae i byte dalla FIFO e ne combina i bit in ordine inverso (bit iniziale: bit 7 del byte 0) con i bit di una parola-chiave di 64 bit memorizzata in un registro interno all'unità; quindi invia il flusso seriale crittografato sulla linea di uscita, emettendo un impulso sulla linea SYNC_OUT all'inizio del messaggio. Progettare lo schema logico del processore e indicare le relative temporizzazioni.

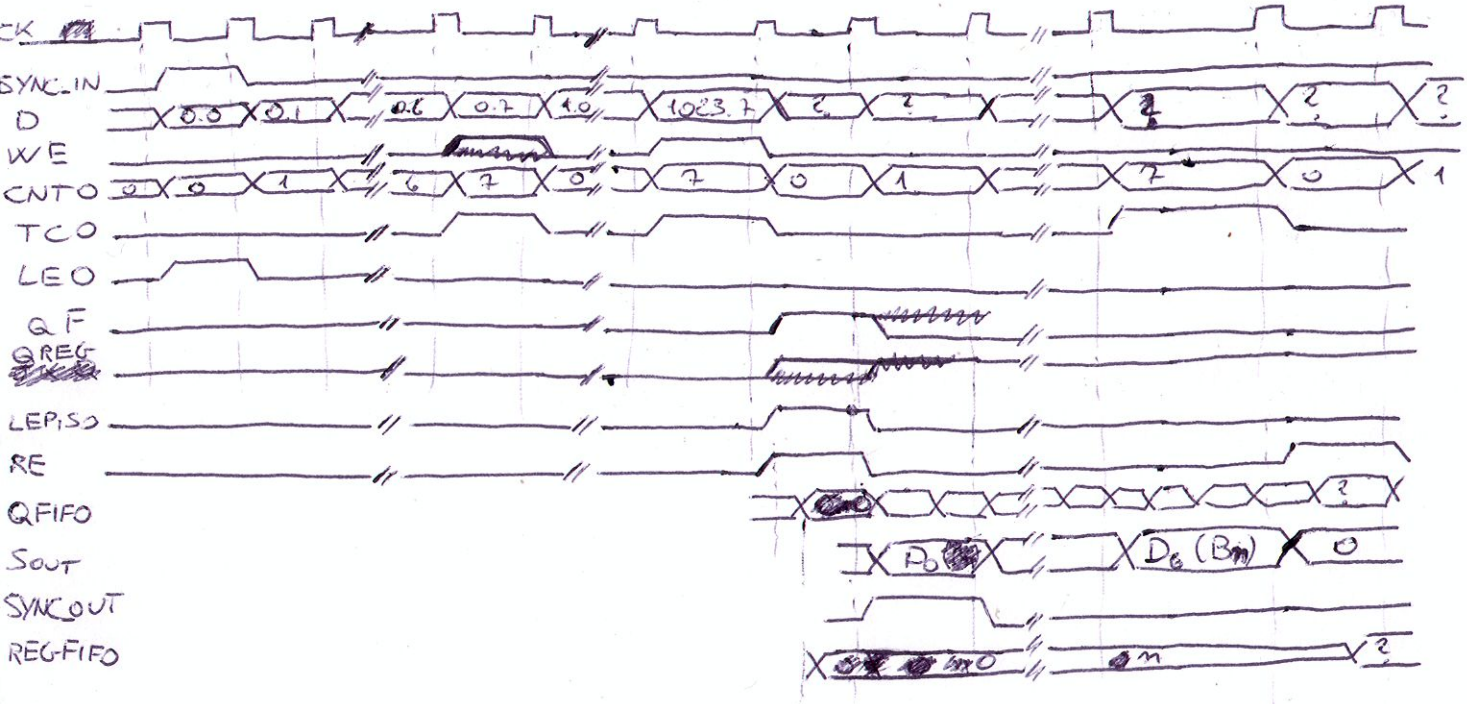
D2 (10%) - Sintetizzare la funzione di maggioranza a tre variabili con sole porte logiche di tipo NOR.

D3 (10%) - Indicare la struttura dettagliata di un banco di RAM di capacità 512 MWord realizzato con moduli RAM di capacità 64 Mbyte.

D4 (20%) - Determinare la massima frequenza di lavoro di un sistema SCA/SCO di tipo Mealy/D-Mealy in funzione dei tempi caratteristici dei componenti delle due reti.

D1


Q0 → D7
Q7 → D0
D
CK
SIN
Q7 ... Q0
SIPO
8
CLR
D0..7
Q0..7
FIFO
1KB
QE
HF
QF
RE
WE
REG-FIFO
D Q
G
SYNC_OUT
CK
"1"
CE
TC
CNT0
3-bit
SYNC_IN
CLR
CK
Q
G
SYNC_IN
CLR REG
D
"1"
X8
[7] [6] [5] [4] [3] [2] [1] [0]
IODB[0-31]
IODB[0-7]
D Q
R#0
G OE
QR#0
OE0
IODB[8-15]
R#1
QR#1
OE1
IODB[16-23]
R#2
QR#2
OE2
IODB[24-31]
R#3
QR#3
OE3
IODB[0-7]
R#4
QR#4
OE4
IODB[8-15]
R#5
QR#5
OE5
IODB[16-23]
R#6
QR#6
OE6
IODB[25-31]
R#7
QR#7
OE7
SEL0
IOWR
SEL1
[7] [6] [5] [4] [3] [2] [1] [0]
D7 D6 D5 D4 D3 D2 D1 D0
LE
PISO
SOUT
"0"
SIN
CK
RE
QE
QREG
TC0
CE
CNT 1
3-bit
Q0..2
3
CK
CLR
SYNC_IN
0 1 2 3 4 5 6 7
OE0
OE7


CK
SYNC_IN
D
WE
CNTO
TCO
LEO
QF
QREG
LEPISO
RE
QFIFO
SOUT
SYNCOUT
REGFIFO
0.0
0.1
0.6
0.7
1.0
1023.7
?
?
?
?
?
0
0
1
6
7
0
7
0
1
7
0
1
P0
D6 (Bm)
0
0
m
?