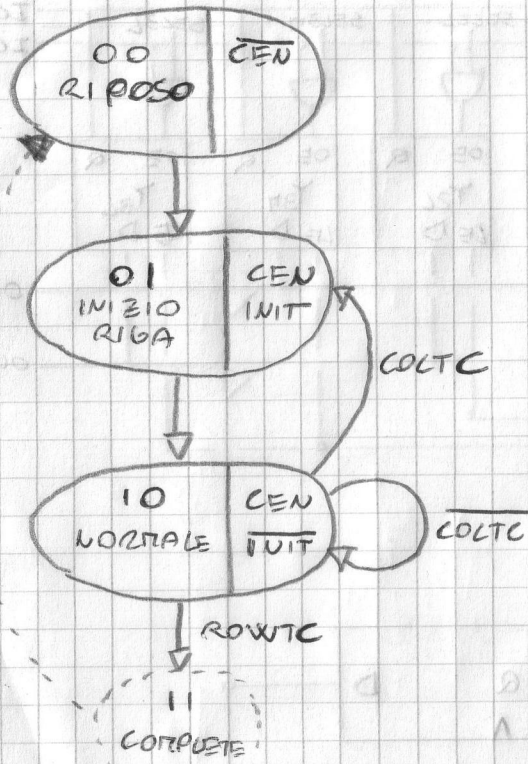


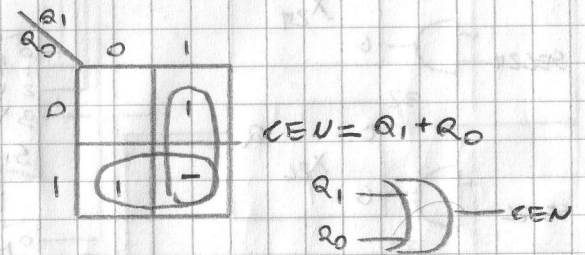
~~4/4/06~~  
 ESAME CE2 del 14/03/2006



Il clock della periferica è pari a 5 cicli di system clock poiché il tempo di calcolo previsto per ~~PERIF~~ FPIA è al massimo 4T<sub>e</sub>, poiché bisogna considerare: tempi di setup, di hold ed di commutazione dei registri più il tempo di accesso alla ROM e il tempo di commutazione di multiplexor e decodere. Si può ottenere ciò utilizzando come IFCLK un contatore MOD 8 opportunamente configurato

$Q_1, Q_0$	COLTC	ROWTC	$Q_1'$	$Q_0'$
00	-	-	0	1
01	-	-	1	0
10	0	0	1	0
11	1	0	0	1
11	-	-	0	0

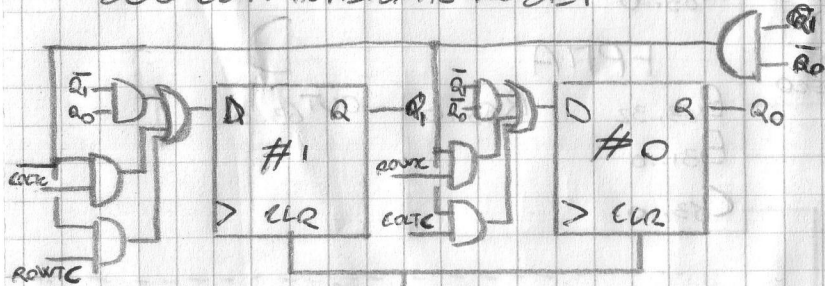
$Q_1, Q_0$	CEN	INIT
00	0	-
01	-	0
11	-	0
11	-	-



$$Q_1' = \overline{Q_1} Q_0 + \overline{COLTC} \cdot Q_1 \overline{Q_0} + ROWTC \cdot Q_1 Q_0$$

$$Q_0' = \overline{Q_1} \overline{Q_0} + ROWTC Q_1 \overline{Q_0} + COLTC Q_1 \overline{Q_0}$$

SCO COM INTERNAL RESET



COLTC / ROWTC	$Q_1$	$Q_0$
00	1	1
01	1	0
11	1	0
10	1	0

COLTC / ROWTC	$Q_1$	$Q_0$
00	1	1
01	1	0
11	1	0
10	1	0

