

17/DICEMBRE/2004

(1)

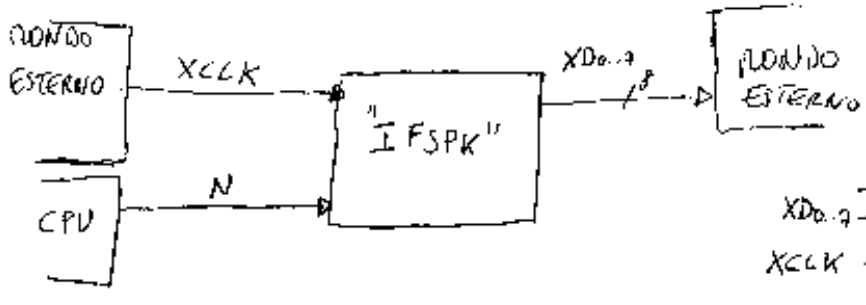
INTERFACCIA "IFSPK"

Produce messaggi audio sintetizzati verso un canale di uscita costituito da 8 linee di output  $XD_{0..7}$  e da un clock interno  $XCLK$  da 8 KHz. Un messaggio è costituito da una sequenza di campioni audio a 8 bit, che vengono applicati alle linee  $XD_{0..7}$  e sincronizzati con  $XCLK$ .

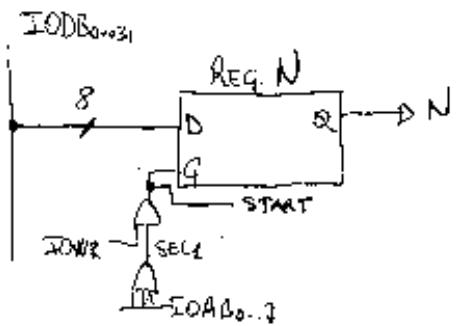
Una memoria RAM, residente sulle pinfines è organizzata in 16 M parole da 8 bit, contiene i campioni relativi ai 256 messaggi, meno di quali ha durata superiore ai 10 secondi.

ATTENZIONE (MODIFICO IL TESTO) ~~NON NECESSARIO~~

LA CPU INVIA A IFSPK UN NUMERO  $N$  ( $0 \leq N < 256$ ) che identifica il messaggio da emettere. IFSPK INVIA UN INTERRUPT NON APPENA IL DATO È PRONTO.



GESTIONE PORTE INPUT/OUTPUT

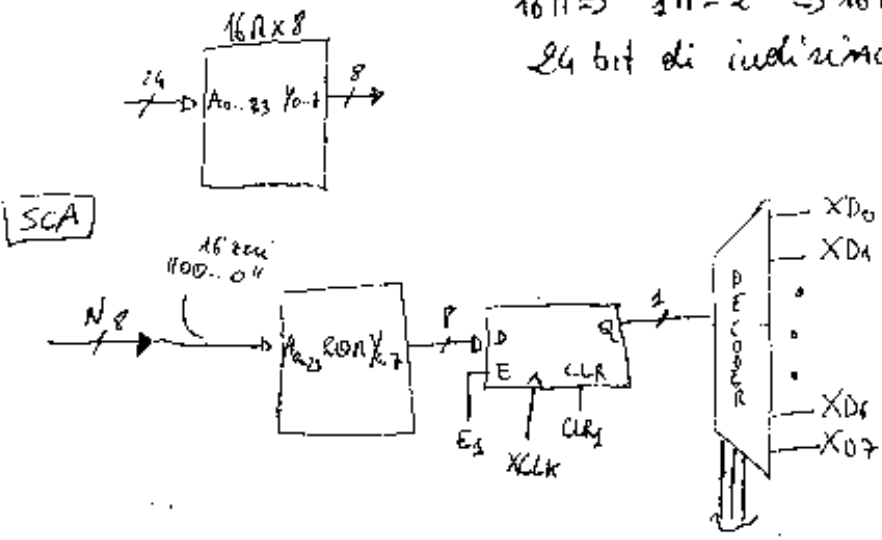


NON SONO PREVISTE PORTE DI INPUT IN QUANTO LA PERIFERICA NON INVIA NESSUN DATO ALLA CPU, TRANNE CHE UN INTERRUPT

ORGANIZZAZIONE ROA

$16M \Rightarrow 1M = 2^{20} \Rightarrow 16M = 2^{24}$   
 24 bit di indirizzo  $A_{0..23}$

(2)



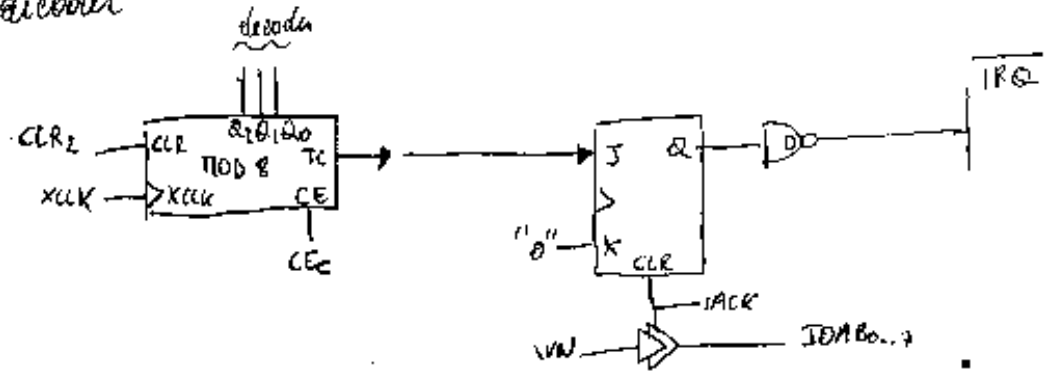
"RAGIONAMENTO"

Gli 8 bit che provengono dalla CPU vengono amplificati nella loro parte più significativa, da 16 zeri, così da formare un indirizzo a 24 bit.  
 Le 8 uscite vengono mandate in un registro che in uscita è collegato ad un decoder il quale invia gli 8 bit nelle rispettive linee di OUTPUT.

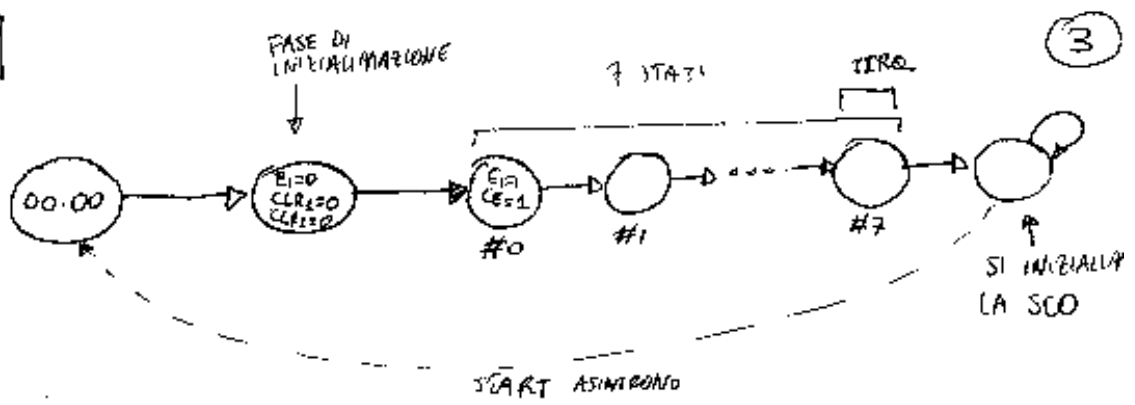
~~IL PROBLEMA A TLO NOO DI VENELE SOURCE CON IL CLOCK... AL STEGO.~~

~~SE DATA STATE NOI~~

Per mandare gli 8 bit nelle rispettive uscite, uso un contatore ~~che~~ la cui uscita manda gli ingressi di controllo del decoder.



SCO



$$8 + 3 = 11 \text{ STATI}$$

$$\Rightarrow \text{CONTATORE A 4 bit} \Rightarrow \text{MOD 16} = 2^4$$

