

Cenni sulla logica ECL*

Il metodo più radicale per ridurre i ritardi di propagazione nelle famiglie logiche bipolari consiste nell'impedire che i transistori lavorino nella zona di saturazione. Sebbene sia possibile utilizzare diodi Schottky nelle porte TTL per impedire la saturazione, è possibile tuttavia cambiare completamente le strutture circuitali, facendo ricorso ad esempio all'*accoppiamento di emittore*; questa tecnica conduce alla logica ECL (*Emitter Coupled Logic*), detta anche CML (*Current Mode Logic*).

A differenza di altre famiglie logiche, la logica ECL non utilizza grandi escursioni di tensione tra livello logico alto e basso (la differenza di tensione tra questi due livelli viene anzi mantenuta al di sotto di 1 volt) ma si fa in modo che la corrente all'interno del circuito venga deviata su uno di due possibili percorsi a seconda dello stato desiderato in uscita.

La prima logica ECL è stata introdotta dalla General Electric nel 1961; il concetto fu perfezionato dalla Motorola e da altri costruttori fino alla produzione delle cosiddette famiglie 10K e 100K, ancor oggi in uso. Queste famiglie sono estremamente veloci, avendo ritardi di propagazione di circa 1 nsec; la più moderna famiglia ECL, detta ECLinPS (ECL in picosecondi), vanta ritardi di propagazione inferiori a 0.5 nsec (500 psec), valori che comprendono anche il tempo necessario ai segnali per entrare e uscire attraverso i terminali del dispositivo. Nel corso dell'evoluzione della tecnologia dei circuiti digitali, alcuni tipi di ECL hanno sempre costituito le famiglie più veloci tra i dispositivi a logica discreta.

Tuttavia, le famiglie ECL commerciali non sono frequentemente utilizzate quanto le famiglie CMOS o le famiglie TTL, principalmente per via del consumo di potenza molto maggiore. Di fatto, nel progetto dei supercomputer in logica ECL (come ad esempio il Cray-1 e il Cray-2) tale consumo ha rappresentato una sfida anche nelle tecnologie di raffreddamento. Inoltre, la logica ECL ha un prodotto velocità-potenza piuttosto basso, non consente un elevato grado di integrazione e non è direttamente compatibile con le famiglie TTL e CMOS. Nondimeno, la logica ECL trova ancora applicazione nei sistemi di comunicazione ad altissima velocità, come ad esempio le interfacce di ricetrasmisione a fibra ottica nelle reti Gigabit Ethernet e nelle reti ATM (Asynchronous Transfer Mode).

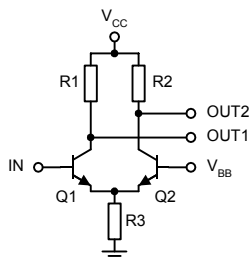


Fig. 1

L'idea base della logica ECL è illustrata dal circuito invertitore/buffer di Fig. 1, dove sono presenti sia un'uscita invertente (OUT1) che un'uscita non invertente (OUT2). I due transistori sono connessi come amplificatore differenziale con un resistore di emittore in comune.

La tensione di alimentazione in questo esempio è $V_{CC} = 5.0$ V, mentre la tensione di riferimento è $V_{BB} = 4.0$ V; i livelli *basso* e *alto* di ingresso sono definiti rispettivamente come $V_{IN} = 3.6$ V e $V_{IN} = 4.4$ V. Il circuito produce in uscita livelli leggermente più alti di quelli prescritti, ma nei dispositivi reali questo inconveniente viene facilmente corretto.

Quando V_{IN} è alta (4.4 V), il transistor Q1 conduce senza saturare (diremo che è ON), e il transistor Q2 è interdetto (OFF), in virtù del dimensionamento accurato dei valori dei resistori e dei livelli di tensione. In tal modo, non scorre corrente attraverso R2 e V_{OUT2} è praticamente uguale a V_{CC} ; la caduta di potenziale attraverso R1 è di circa 0.8 V e dunque l'uscita V_{OUT1} si porta a circa 4.2 V (livello basso).

Quando V_{IN} è a livello logico basso (3.6 V), il transistor Q2 conduce senza entrare in saturazione, mentre Q1 è OFF. In tal modo, su OUT1 è presente un livello di tensione circa pari a V_{CC} (livello alto) mentre la tensione presente su OUT2 è circa pari a 4.2 V (livello basso); essenzialmente, il ruolo dei due transistori risulta scambiato rispetto al caso precedente.

* Tratto da J.F. Wakerly, *Digital Design: Principles and Practices, 3rd Ed.*, Prentice-Hall, 1999.

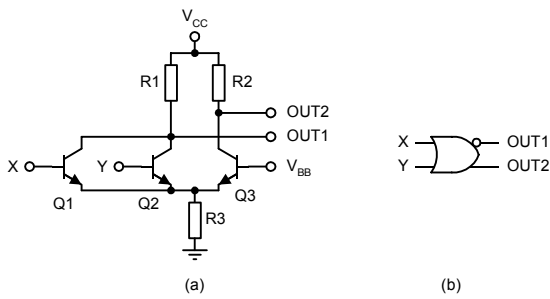


Fig. 2

ulteriori transistori in parallelo a Q1, ottenendo così una porta NOR (Fig. 2). Se uno qualunque degli ingressi è alto, il corrispondente transistor di ingresso è ON, e V_{OUT1} è bassa; nello stesso tempo, Q3 è interdetto e V_{OUT2} è alta. Il comportamento del circuito nei vari casi possibili è riassunto nella Tav. I, dalla quale se ne deduce il comportamento come porta NOR a due ingressi.

Le uscite di questo invertitore sono dette *differenziali* perché esse sono sempre complementari, ed è dunque possibile determinare lo stato dell'uscita semplicemente misurando la differenza tra le tensioni sulle uscite ($V_{OUT1} - V_{OUT2}$) anziché i loro valori assoluti. In tal modo, l'uscita è a livello logico 1 se $(V_{OUT1} - V_{OUT2}) > 0$, ed è a 0 se $(V_{OUT1} - V_{OUT2}) < 0$.

Per eseguire operazioni logiche col circuito base di Fig. 1, è sufficiente connettere

Tav. I

X	Y	V_X	V_Y	Q1	Q2	Q3	V_{OUT1}	V_{OUT2}	OUT1	OUT2
0	0	3.6 V	3.6 V	OFF	OFF	ON	5.0 V	4.2 V	1	0
0	1	3.6 V	4.4 V	OFF	ON	OFF	4.2 V	5.0 V	0	1
1	0	4.4 V	3.6 V	ON	OFF	OFF	4.2 V	5.0 V	0	1
1	1	4.4 V	3.6 V	ON	ON	OFF	4.2 V	5.0 V	0	1