

## Reti Logiche

### Appello del 18 dicembre 2006

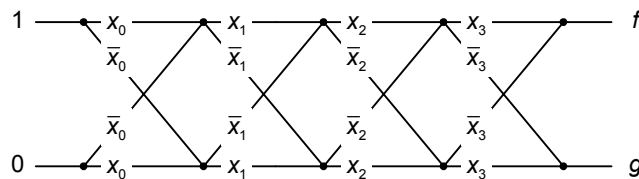
Cognome e nome: ..... Matricola: .....

N.O.       V.O.

**(D1 – 60%)** Un'interfaccia BINBCD è attestata su una linea seriale esterna XIN, sincronizzata con un clock XCLK, dalla quale riceve in continuazione blocchi da 32 bit consecutivi, in corrispondenza al primo dei quali è attivo un segnale esterno XSYNC. I dati contenuti nel blocco, interpretati come numeri binari assoluti di cui il primo bit è il più significativo, devono essere convertiti in base 10 con le cifre espresse in formato BCD. Tali cifre BCD devono infine essere emesse su un gruppo di 4 linee di uscita XOUT[0-3], una alla volta, sincronizzate al clock XCLK, a partire dalla cifra più significativa diversa da 0 e a finire con la cifra meno significativa; per tutta la durata dell'emissione delle cifre deve inoltre essere attivo un segnale di uscita XBCD.

Progettare l'hardware dell'interfaccia e illustrare le temporizzazioni relative.

**(D2 – 10%)** Analizzare il comportamento della seguente rete a contatti:



**(D3 – 10%)** Mostrare che la funzione

$$f(x_3x_2x_1x_0) = \sum(3, 7, 11, 12, 13, 14)$$

è sintetizzabile come  $(x_3x_2) \oplus (x_1x_0)$ .

**(D4 – 10%)** Un addizionatore iterativo a  $N$  bit è costituito da sole porte logiche NAND con tempo di propagazione  $t_G$ ; descrivere la struttura della cella e valutare i tempi minimo e massimo impiegati dalla rete per calcolare la somma di due operandi a  $N$  bit.

**(D5 – 10%)** Progettare una rete sequenziale LLC dotata di un ingresso  $X$  e di un'uscita  $Y$ , asservita a un clock di periodo  $T$ , che reagisca alla sequenza di ingresso 11 con la sequenza di uscita  $(10)^*$ , (ossia con un'oscillazione con periodo  $2T$ ) e torni a riposo ( $Y = 0$ ) alla ricezione della sequenza 00.