

Reti Logiche

Appello del 9 gennaio 2007

Cognome e nome:

Matricola:

N.O.

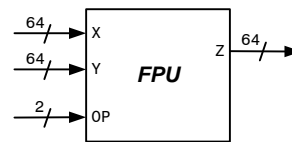
V.O.

(D1 – 60%) Un'interfaccia IFMAND, connessa al bus di I/O PD-32, riceve dalla CPU un numero intero assoluto N a 16 bit e un numero complesso C con parte reale e immaginaria in rappresentazione floating point a 64 bit (1 bit di segno, 11 bit di esponente, 52 bit di mantissa). Per ogni valore C ricevuto, l'interfaccia procede al calcolo della cosiddetta *ricorsione di Mandelbrot*:

$$Z_{n+1} = Z_n^2 + C$$

inizializzandola con $Z_0 = 0$. Il calcolo si arresta quando $|Z_{n+1}| \geq 2$, oppure quando viene raggiunto il numero massimo N di iterazioni specificate; in entrambi i casi, l'interfaccia trasmette alla CPU il numero n di iterazioni effettuate.

Progettare l'hardware dell'interfaccia, assumendo disponibile *una singola* unità aritmetica floating point FPU che, in funzione di un codice di controllo OP, sia in grado di eseguire le operazioni su numeri reali indicate a fianco, ciascuna in un tempo massimo di 12 periodi di System Clock.



OP	funzione
0 0	$Z = X + Y$
0 1	$Z = X - Y$
1 0	$Z = Y - X$
1 1	$Z = XY$

(D2 – 10%) Qualunque funzione di commutazione di due variabili $f(x, y)$ può essere espressa nella forma

$$f(x, y) = a \oplus bx \oplus cy \oplus dxy$$

Ricavare i coefficienti a, b, c, d in funzione dei valori assunti da $f(x, y)$.

(D3 – 20%) Definire la struttura di una rete iterativa per la somma aritmetica di *tre* numeri binari, e sviluppare il progetto della cella elementare usando solo porte NAND.

(D4 – 10%) Analizzare il comportamento della rete sequenziale in figura e ricavarne una rappresentazione come diagramma degli stati oppure come tavola di transizione; quindi per ciascuno stato stabilire se esso è transiente, ricorrente, persistente o isolato.

