

Reti Logiche

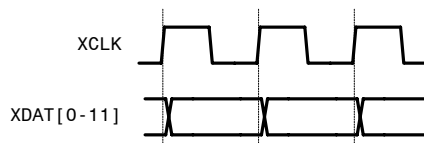
Appello del 19 marzo 2007

Cognome e nome:

Matricola:

N.O. V.O.

(D1 – 50%) Un'interfaccia IFHIST, connessa al bus di I/O PD-32, riceve in continuazione da un canale esterno XDAT[0-11] dati numerici a 12 bit, sincronizzati a un clock XCLK a 10 MHz (si veda la figura a fianco). Alla ricezione da parte della CPU di un numero N (con $0 < N \leq 8192$) l'interfaccia, dopo aver eseguito le opportune inizializzazioni, acquisisce un blocco di N dati consecutivi dal canale esterno e ne calcola l'*istogramma*, definito come un vettore \mathbf{H} la cui componente k -esima indica quanti dati del blocco hanno valore k . Al termine delle operazioni, l'interfaccia invia un'interruzione alla CPU e rende ad essa disponibile l'istogramma calcolato.



Progettare l'hardware dell'interfaccia, e illustrare le relative temporizzazioni.

(D2 – 10%) Si consideri la funzione di commutazione $f_k(x_1, x_2, \dots, x_n)$ che vale 1 se e solo se esattamente k variabili sono uguali ad 1. Quanti mintermini e quanti implicantsi primi ha tale funzione?

(D3 – 20%) Definire la struttura di una rete iterativa per la *sottrazione aritmetica* di due numeri binari, e sviluppare il progetto della cella elementare. (*Nota: Non è ammesso l'uso di addizionatori.*)

(D4 – 20%) Il circuito illustrato nella figura a fianco deve generare all'uscita z la sequenza $S = 11000101001$, che si ripete periodicamente e indefinitamente. Assumendo che lo stato iniziale sia tale che $x_1 = x_2 = 1$, $x_3 = x_4 = 0$, e che in tali condizioni su z sia presente il primo bit della sequenza S , determinare la funzione $y = f(x_1, x_2, x_3, x_4)$ che il circuito combinatorio CC deve realizzare, e ricavarne quindi un'implementazione.

