

Reti Logiche

Appello del 5 luglio 2007

Cognome e nome:

Matricola:

N.O. V.O.

(D1 – 50%) Un'interfaccia IF-DTMF (*Dual Tone Multi-Frequency*), attestata su un bus PD-32 con System Clock a 250 MHz, riceve dalla CPU un codice a 4 bit, in corrispondenza al quale applica a un convertitore digitale/analogico a 12 bit (DAC, Fig. 1) una sequenza numerica costituita dalla *media* dei campioni di due sinusoidi a frequenze f_1 e f_2 , secondo la Tav. I.

Tav. I

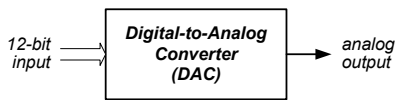


Fig. 1

codice	f_1 (Hz)	f_2 (Hz)	codice	f_1 (Hz)	f_2 (Hz)
0001	697	1209	0111	852	1209
0010	697	1336	1000	852	1336
0011	697	1477	1001	852	1477
0100	770	1209	1010	941	1209
0101	770	1336	1011	941	1336
0110	770	1477	1100	941	1477

In corrispondenza ai codici non specificati l'ingresso al DAC deve essere 0; inoltre, le frequenze componenti devono essere generate con errore inferiore allo 0.5% sulla frequenza nominale.

Progettare l'hardware dell'interfaccia, assumendo disponibili memorie ROM contenenti 1024 campioni di una *singola sinusoide completa*, espressi come numeri a 12 bit in complemento a 2.

(D2 – 10%) Dimostrare che se una funzione di commutazione è rappresentata nella forma canonica in somma di prodotti come

$$f = m_1 + m_2 + \dots + m_n$$

dove gli m_i sono mintermini, allora essa può anche essere rappresentata come

$$f = m_1 \oplus m_2 \oplus \dots \oplus m_n$$

(D3 – 20%) Dimostrare che in un addizionatore binario per due operandi a n bit in complemento a 2, con carry-in c_0 e carry-out c_n , la condizione di overflow è data da $c_{n-1} \oplus c_n = 1$.

(D4 – 20%) Progettare un contatore up/down a 3 bit in codice Gray.

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

.....