

Metronomo

Un metronomo elettronico (Fig. 1) accetta in ingresso tre cifre decimali codificate in BCD per la programmazione del numero di battiti per minuto da 16 a 299, e produce in uscita, come “battito”, un treno di 8 impulsi spazati di 5 msec (Fig. 2); tale uscita deve restare fissa a 0 se l’impostazione del numero di battiti per minuto è al di fuori del range prestabilito.

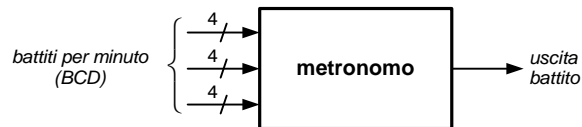


Fig. 1



Fig. 2

Progettare l’hardware del metronomo, utilizzando come base dei tempi un modulo generatore di clock a 10 MHz.

(*) Progetto d’esame per il corso di Reti Logiche, appello del 2007-09-10, Laurea Specialistica in Ingegneria Informatica, Università di Roma “La Sapienza”.

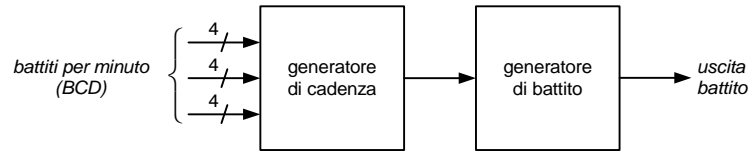


Fig. 1 – Il metronomo può essere partizionato in un blocco *generatore di cadenza*, che produce un segnale alla frequenza corrispondente ai battiti per minuto (bpm) impostati in ingresso, e in un blocco *generatore di battito*, che produce il segnale di battito richiesto da avviare in uscita. Se b è il numero di bpm, la cadenza corrispondente, misurata in Hz, sarà pari a $f = b/60$.

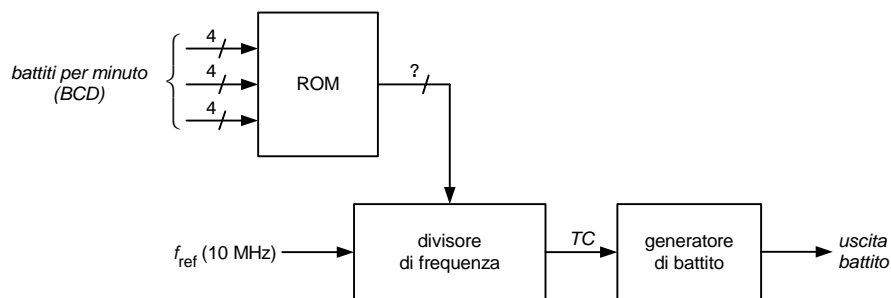


Fig. 2 – Il generatore di cadenza può essere realizzato dividendo la frequenza del clock di riferimento $f_{\text{REF}} = 10 \text{ MHz}$ fino ad ottenere il valore di frequenza corrispondente ai bpm impostati. Tale divisore di frequenza sarà come al solito realizzato mediante un Down Counter a modulo di conteggio variabile. L'uscita TC (Terminal Count) del contatore sarà un segnale a frequenza $f = b/60 = f_{\text{REF}}/M$, dove b è il numero di bpm richiesto ed M è il modulo di conteggio. La conversione da codice BCD (in cui è espresso il numero di battiti per minuto desiderato) nel modulo di conteggio corrispondente è realizzata mediante una ROM; la cui lunghezza di parola è legata al massimo modulo di conteggio richiesto dal divisore di frequenza. Poiché il massimo modulo di conteggio si ha in corrispondenza del minimo numero di bpm richiesto, si ricava che $M_{\text{max}} = 60f_{\text{REF}}/b_{\text{min}}$ da cui, sostituendo $f_{\text{REF}} = 10^7$ e $b_{\text{min}} = 16$ si ottiene facilmente $M_{\text{max}} = 37\,500\,000$, il che significa che la ROM dovrà avere parole da 26 bit.

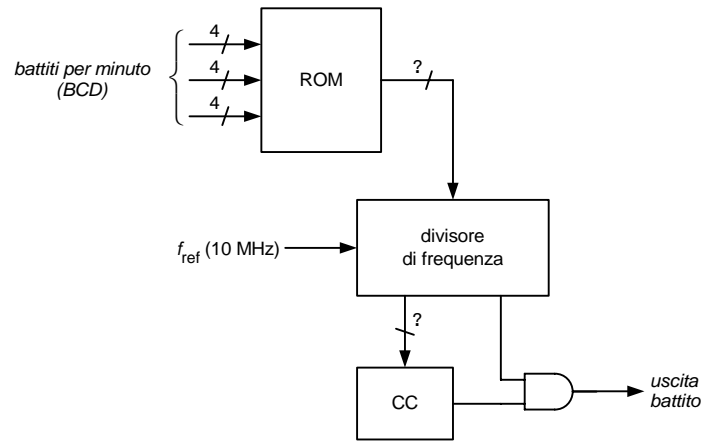


Fig. 3 – Il generatore di battito può essere realizzato in maniera molto semplice se si osserva che basta prelevare una opportuna uscita del contatore con cui è realizzato il divisore di frequenza, purché su tale uscita sia presente un segnale a frequenza 200 Hz (che abbia quindi il periodo prescritto di 5 msec) e tale segnale venga condizionato, mediante un circuito combinatorio CC, a diventare un treno di esattamente 8 impulsi nell'arco di un intero ciclo di conteggio del divisore.

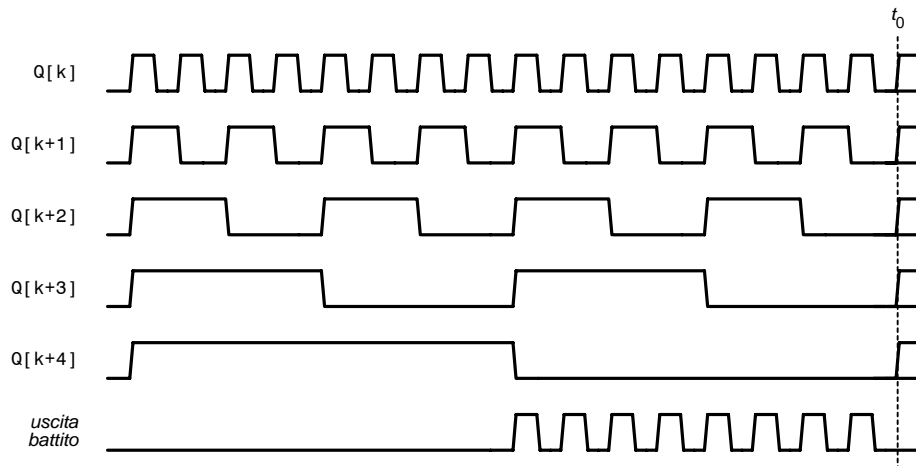


Fig. 4 – Se il segnale da trasformare in battito viene prelevato dall'uscita Q_k del contatore divisore di frequenza (che, va ricordato, è un Down Counter, e dunque ogni sua uscita commuta alla transizione $0 \rightarrow 1$ dell'uscita immediatamente più significativa), allora per ottenere un treno di esattamente 8 impulsi è sufficiente inibire il segnale presente su Q_k quando almeno una delle uscite da Q_{k+4} in poi è diversa da 0. Nella temporizzazione qui illustrata, t_0 è l'istante in cui viene generato il Terminal Count e il contatore viene ricaricato. Si osservi come, per eliminare del tutto il battito (ad esempio nelle configurazioni di ingresso con bpm fuori range) sia sufficiente ricaricare il contatore col valore 0: in tal modo l'uscita di conteggio resterà indefinitamente fissa a livello 0.

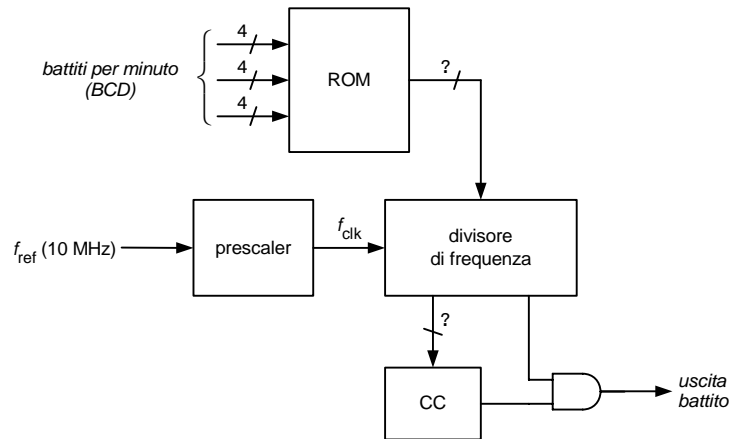


Fig. 5 – Per ridurre le dimensioni della ROM, si può intervenire solo sul range del modulo di conteggio, suddividendo il divisore di frequenza di Fig. 2 in un prescaler, che divide il clock di riferimento per un modulo fisso, e in un divisore di frequenza secondario a modulo programmabile. Detto N il modulo fisso di conteggio del prescaler, la cadenza del battito ora espressa come $f = b/60 = f_{CLK}/M$, dove $f_{CLK} = f_{REF}/N$ è la frequenza del segnale in uscita dal prescaler: il modulo totale di conteggio è allora dato dal prodotto MN del modulo fisso N del prescaler e del modulo variabile M del divisore programmabile. È chiaro che, quanto maggiore sarà N , tanto più ridotto sarà il massimo valore richiesto da M per ottenere la minima cadenza, e dunque tanto minore sarà la lunghezza di parola della ROM.

$$M = 60 f_{CLK} / b = 60 f_{REF} / Nb \quad (1)$$

$$\Delta M / \Delta b = -f_{REF} / 60Nb^2 \quad (2)$$

$$N \leq 60 f_{REF} / b^2 \quad (3)$$

Fig. 6 – Il modulo di conteggio N del prescaler non può superare certi limiti, perché altrimenti la frequenza f_{CLK} da esso generata verrebbe ad essere troppo bassa per assicurare sufficiente risoluzione nella generazione della frequenza di cadenza. In altri termini, occorre garantire che i moduli M associati a due bpm consecutivi differiscano tra loro almeno di 1. Differenziando l'espressione di M rispetto a b (Eq. 1) si ottiene l'Eq. 2, dalla quale, ricordando che deve essere $|\Delta M| \geq 1$ per $\Delta b = 1$, si ricava il vincolo per N espresso dall'Eq. 3. Sostituendo in quest'ultima il massimo valore ammissibile per b , pari a 299, si ottiene $N \leq 6711.3$; troncando tale valore all'intero immediatamente inferiore, si ottiene $N = 6711$ e di conseguenza $f_{CLK} = 1490.1$ Hz. Tuttavia, se si vuole utilizzare l'accorgimento di Fig. 3, occorrerà che f_{CLK} sia un multiplo di 200 Hz per un fattore potenza di 2; f_{CLK} viene allora scelta pari a 1600 Hz, a cui corrisponde $N = 6250$; poiché è $1600 / 200 = 8$, l'uscita del contatore divisore di frequenza da cui prelevare il segnale di battito sarà Q_2 .

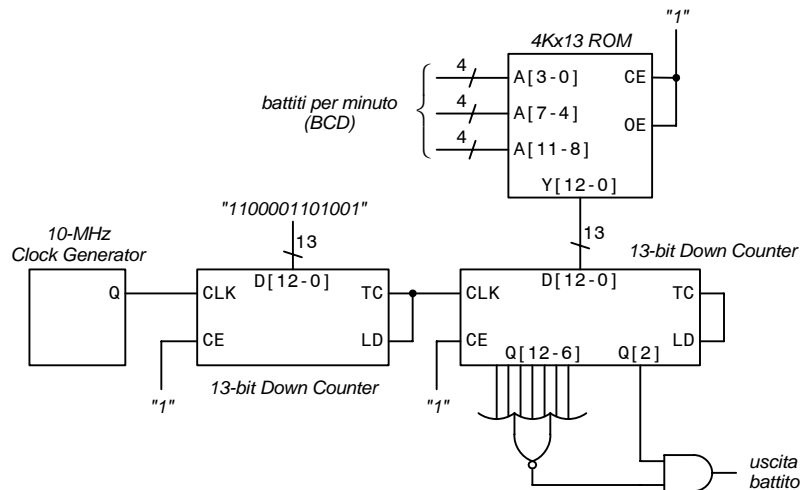


Fig. 7 – Realizzazione finale del metronomo. Il prescaler è costituito da un Down Counter a 13 bit, dotato di caricamento parallelo sincrono; affinché il suo modulo di conteggio sia pari a $N = 6250$, ai suoi ingressi paralleli per i dati viene applicata la costante binaria corrispondente a $N - 1 = 6249$, ossia 1100001101001. Il divisore programmabile di frequenza viene anch'esso realizzato con un Down Counter dotato di caricamento parallelo sincrono; poiché il suo massimo modulo di conteggio è dato da $M_{\max} = 60f_{\text{CLK}} / b_{\min}$, ossia 6000, esso avrà estensione di 13 bit, che è lo stesso numero di bit necessario per la singola parola di ROM. (Si noti come la suddivisione in due porzioni del divisore di frequenza abbia comportato il dimezzamento delle dimensioni della ROM.)

$$b = 60f_{\text{CLK}} / M \quad (4)$$

$$\varepsilon = \left| \frac{\Delta b}{b} \right| = \left| \frac{\Delta b}{\Delta M} \frac{\Delta M}{b} \right| = \frac{|\Delta M|}{M} \quad (5)$$

$$\varepsilon_{\max} = \frac{|\Delta M|}{M_{\min}} \quad (6)$$

Fig. 8 – La precisione delle cadenze così ottenute può essere calcolata differenziando l'Eq. 4 come mostrato in Eq. 5 dove viene calcolato l'errore relativo commesso nell'arrotondamento di M ad un valore intero; poiché in tal caso $|\Delta M| \leq 0.5$, il massimo errore relativo si ha in corrispondenza al minimo M , ossia al massimo numero di bpm richiesto (Eq. 6). Essendo $M_{\min} = 60f_{\text{CLK}} / b_{\max}$, sostituendo $f_{\text{CLK}} = 1600$ Hz e $b_{\max} = 299$ si ottiene $M_{\min} = 321.1$, da cui un errore relativo massimo $\varepsilon_{\max} = 0.5 / 321.1 = 0.00156$, corrispondente a meno dello 0.16%; tale errore può essere considerato senz'altro accettabile.

indirizzo A	bpm	cadenza (Hz)	M teorico	M^-	M^+	ROM(A)
0000 0000 0000	0	--	--	--	--	0
0000 0000 0001	1	--	--	--	--	0
.....						
0000 0001 0101	15	--	--	--	--	0
0000 0001 0110	16	0.27	6000.00	6000	6001	5999
0000 0001 0111	17	0.28	5647.06	5647	5648	5646
0000 0001 1000	18	0.30	5333.33	5333	5334	5332
0000 0001 1001	19	0.32	5052.63	5052	5053	5052
.....						
0010 1001 0110	296	4.93	324.32	324	325	323
0010 1001 0111	297	4.95	323.23	323	324	322
0010 1001 1000	298	4.97	322.15	322	323	321
0010 1001 1001	299	4.98	321.07	321	322	320
0010 1001 1010	--	--	--	--	--	0
.....						

Fig. 9 – La tavola illustra il contenuto della ROM. In prima colonna appare la configurazione BCD corrispondente al numero di bpm richiesto (colonna 2), utilizzata come indirizzo di ROM; in corrispondenza a configurazioni BCD illegali o a valori di bpm fuori dal range prescritto 16–299 il contenuto della parola di ROM relativa (colonna 7) è pari a 0, per quanto osservato in Fig. 4. In colonna 3 appare la cadenza in Hz corrispondente al bpm impostato; in colonna 4 è calcolato il modulo M teorico da applicare al divisore programmabile di frequenza; nelle colonne M^- e M^+ appare il valore di M arrotondato all'intero immediatamente più piccolo e, rispettivamente, più grande (è evidenziato in neretto il valore intero selezionato, ossia quello che meglio approssima il valore teorico di M). In ultima colonna, infine, appare la rappresentazione decimale del modulo selezionato (che, va ricordato, va diminuita di 1 essendo il Down Counter divisore caricato in modo sincrono).