

Reti Logiche

Appello del 14 dicembre 2007

Cognome e nome:

Matricola:

N.O. V.O.

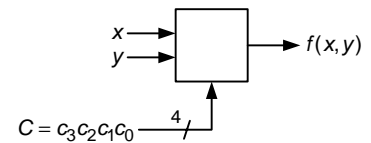
(D1 – 50%) Un'interfaccia IFRLD (*Run-Length Decoder*) riceve dalla CPU PD-32, attraverso una memoria FIFO, una sequenza di coppie di valori ad 8 bit $\{X, N\}$, dove $N > 0$. Su comando della CPU, l'interfaccia estrae le informazioni dalla memoria FIFO e, per ogni coppia $\{X, N\}$ letta, emette su una linea di uscita ad 8 bit verso il mondo esterno una sequenza di N valori identici X , sincronizzati a un clock generato internamente all'interfaccia, senza soluzione di continuità tra una sequenza di uscita e la successiva. Al termine delle operazioni, IFRLD emette un interrupt verso la CPU e invia costantemente $X = 0$ in uscita.

Progettare l'hardware dell'interfaccia e illustrare le temporizzazioni relative.

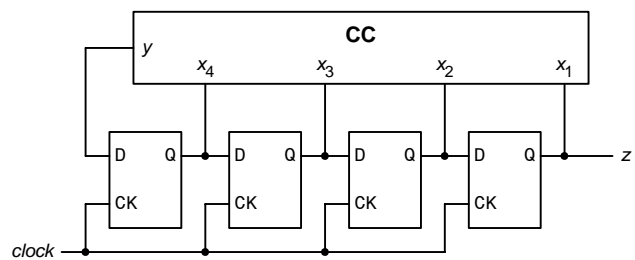
(D2 – 15%) Risolvere il seguente sistema di equazioni Booleane:

$$\begin{cases} \bar{x}_2(x_1 \oplus x_3) + \bar{x}_1x_3 = x_1x_2 + \bar{x}_3(x_1 + \bar{x}_2) \\ \bar{x}_1(x_2 \oplus \bar{x}_3) + x_1\bar{x}_3 = \bar{x}_1 \oplus x_2 \end{cases}$$

(D3 – 15%) Progettare un circuito (v. figura a fianco) che, in funzione di un codice di controllo $C = c_3c_2c_1c_0$, produca in uscita tutte le possibili funzioni delle due variabili x, y .



(D4 – 20%) Il circuito illustrato nella figura a fianco deve generare all'uscita z la sequenza $S = 000010110100111$, che si ripete periodicamente e indefinitamente. Assumendo che lo stato iniziale sia tale che $x_1 = x_2 = x_3 = x_4 = 0$, e che in tali condizioni su z sia presente il primo bit della sequenza S , determinare la funzione $y = f(x_1, x_2, x_3, x_4)$ che il circuito combinatorio CC deve realizzare, e ricavarne quindi un'implementazione.



Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

.....