

RETI LOGICHE

PRIMA PROVA SCRITTA DELL'APPELLO DI MAGGIO 91

Progettare un sistema di acquisizione di dati analogici con le seguenti caratteristiche:

- 1) Il segnale analogico nel campo 0-10 volt va convertito in digitale con una risoluzione migliore di 4 mvolt;
- 2) la conversione A/D avviene a blocchi di 1024 campioni con una frequenza di campionamento di 200kHz ed è avviata da un segnale impulsivo esterno START **aperiodico**;
- 3) i campioni acquisiti devono essere accumulati in una RAM statica di 2k word, con tempi di accesso in lettura e scrittura di 150 nsec, gestita come memoria FIFO dal sistema di acquisizione, nell'ipotesi che essa non venga mai riempita completamente;
- 4) non appena la memoria FIFO è **non vuota** un microprocessore Z80 o 8086 avvia una routine di interruzione vettorizzata per caricare il blocco di 1024 campioni.

Progettare l'architettura e lo schema elettrico del sistema, nonché la temporizzazione degli accessi alla memoria FIFO in scrittura e lettura tenendo conto dei possibili conflitti (richiesta simultanea da parte del convertitore e del microprocessore). Si sviluppi inoltre la routine di acquisizione da parte del microprocessore.

RETI LOGICHE

PRIMA PROVA SCRITTA DELL'APPELLO DEL 12-6-91

Progettare un sistema microprogrammato adibito alla acquisizione dati da due periferiche P1 e P2 tramite interruzione. Il sistema prevede due linee di interruzione INT1 e INT2 con priorità decrescente.

Quando riceve INT1 il sistema entra in una microroutine che effettua le seguenti operazioni:

- 1) Legge 16 dati da P1 accumulandoli in un registro interno R1,
- 2) Effettua la media M1 dei dati accumulati,
- 3) Confronta M1 col contenuto di un suo registro R2 e, se $M1 > R2$, carica M1 in un registro di uscita Ru.

Per INT2 le operazioni da eseguire sono invece:

- 1) Legge 32 dati da P2 accumulandoli in R3,
- 2) Effettua la media M2 dei dati accumulati,
- 3) Se il valore di M2 è maggiore di M1 carica M2 in R2.

I dati provenienti dalle due periferiche sono a 8 bit in complemento a due.

Le due periferiche posseggono due segnali di uscita INT e DR (data ready); quest'ultimo viene automaticamente resettato ogni volta che il sistema legge il dato.

Definire lo schema a blocchi del sistema con i segnali di interfacciamento verso P1 e P2, la struttura interna della SCA e della SCO che devono essere Moore-Moore, e il microprogramma completo.

RETI LOGICHE

PRIMA PROVA SCRITTA DELL'APPELLO DI GENNAIO 92

Progettare un dispositivo di acquisizione dati per un microprocessore che operi nel seguente modo:

- 1) i dati di 8 bits, positivi e minori di uno, arrivano a pacchetti di 1 kbytes, con un data rate di 10 MHz e frequenza di pacchetto 2 kHz, ad uno stadio di ingresso dove viene effettuata l'operazione:

$$y(kT) = \sum_{i=0,1,2,3} a_i x[(k-i)T]$$

dove le costanti a_i , anch'esse positive e minori di uno, sono memorizzate in quattro registri di 8 bit modificabili dal processore.

- 2) i valori $y(kT)$ sono memorizzati in una memoria tampone di 1 kword dalla quale vengono scaricati in DMA sulla memoria del processore quando il tampone è pieno.

Per il progetto si usino addizionatori e moltiplicatori paralleli i cui tempi di calcolo sono di 30 e 60 nsec; la memoria tampone ha un tempo di scrittura di 80 nsec, i registri e le porte hanno tempi di commutazione di 2 nsec.

Calcolare il tempo massimo di ciclo della memoria del microprocessore affinché sia rispettato il funzionamento sincrono specificato dal master clock.

RETI LOGICHE

PRIMA PROVA SCRITTA DELL'APPELLO DEL 8-6-92

Ad un sistema basato su microprocessore 8086 è interfacciata una periferica che riceve informazioni da una linea seriale sincrona a 256 kbit/sec, costituita da una linea dati e una linea di clock.

Le informazioni sono organizzate in messaggi, costituiti da un numero variabile di byte. Ciascun messaggio ha la seguente struttura:

- a) un byte di sincronismo, avente sempre il valore AAh, che identifica l'inizio del messaggio;
- b) un byte che indica il numero N (variabile da pacchetto a pacchetto ma minore di 256) di dati contenuti nel messaggio stesso;
- c) N byte consecutivi di dati;
- d) un byte di controllo (checksum), ottenuto dall'ex-or di tutti i byte precedenti (a),b),c)) che viene utilizzato dalla periferica per la rivelazione di errori di trasmissione.

Ogni messaggio è separato dal successivo da un numero variabile di bit uguali a zero; tale numero non è necessariamente un multiplo di 8, ma in ogni caso è maggiore di 8.

La periferica trasferisce in dma verso la memoria del microprocessore le sole informazioni b) e c), e la fine del trasferimento è segnalata mediante interrupt.

Si chiede:

1. la definizione dell'interfaccia tra periferica e CPU;
2. il progetto logico della periferica e le temporizzazioni dei relativi circuiti.

RETI LOGICHE

PRIMA PROVA SCRITTA DELL'APPELLO DEL 21-9-92

Un microprocessore 8086 deve comandare una macchina utensile costituita da un trapano a colonna e da una slitta di lavoro su cui viene posizionato un pezzo da forare. La slitta di lavoro può spostarsi lungo due assi X-Y in modo da presentare sulla perpendicolare della testa del trapano il punto da forare; la testa del trapano, a sua volta, è in grado di ruotare lungo un asse orizzontale per cambiare la punta foratrice (si supponga che siano possibili quattro punte diverse). Un programma memorizzato nel microprocessore dovrà dare i comandi alla macchina utensile per eseguire sul pezzo una serie di fori di diametro diverso e in posizioni prestabilite. Le informazioni che riceve la macchina sono:

- posizione del foro
- diametro del foro

Un sensore posto sulla macchina utensile indica con un segnale 0/1 quando la punta del trapano ha trapassato il pezzo da forare.

La precisione di posizionamento del foro deve essere migliore di 0,02 mm. su una escursione massima di 300 mm. Si supponga che i motori di azionamento siano passo-passo e che un impulso di comando corrisponda ad uno spostamento di 0,01 mm in un senso o in senso opposto a seconda di un segnale di controllo che indichi il senso di rotazione.

Al termine del programma di foratura il microprocessore manda un comando per riportare la slitta in posizione di riposo.

Si richiede:

1. interfaccia tra microprocessore e macchina utensile
2. la logica di comando dei motori passo-passo
3. la struttura del programma di controllo.

RETI LOGICHE

PRIMA PROVA SCRITTA DELL'APPELLO DEL 26-11-92

Un sistema a microprocessore è fornito di quattro canali di uscita, chiamati E, O, N e S, gestiti da quattro DMA controller. Ogni canale è in grado di trasmettere i byte letti dalla memoria del microprocessore alla velocità di 1 Mbyte/sec. Il microprocessore prepara i messaggi da spedire sulle quattro direzioni in quattro buffer di memoria di indirizzo fisso noto ai rispettivi DMAC, ed ogni messaggio è strutturato nel modo seguente:

<flag><lunghezza><corpo del messaggio>

Il flag è un byte posto ad FF per indicare che si tratta di un nuovo messaggio ed il DMAC corrispondente lo porrà a 00 per segnalare che il messaggio è stato letto. I DMAC non vengono preavvertiti quando è disponibile un nuovo messaggio da trasmettere, però è noto che l'aggiornamento dei buffer da parte del processore avviene con un data rate non inferiore a 1 msec. Specificare la velocità della memoria e della logica di controllo dei DMA affinché i quattro DMAC possano lavorare alla massima velocità (1Mbyte/sec) senza rallentare il funzionamento del microprocessore più del 50%.

Risolvere la competizione tra i quattro DMAC mediante un grant circolare nel modo seguente: con cadenza 1 msec un timer attiva il primo DMAC che legge il flag che gli compete e successivamente passa il turno al successivo e così via.; l'ultimo DMAC rimanda il grant al primo che lo utilizzerà per l'eventuale svuotamento del buffer e così via.

Si richiede:

1. Lo schema a blocchi del sistema
2. Il progetto del generico DMAC
3. La logica di accesso alla memoria con la disciplina circolare

RETI LOGICHE

PRIMA PROVA SCRITTA DELL'APPELLO DEL 6-4-93

Progettare un modulo di ALU per quattro bit, basata su look-ahead carry adder, che sia espandibile per dati multipli di quattro, e che sia in grado di eseguire le operazioni definite dalla seguente tabella

000	001	010	011	100	101	110	111
A+B	A+B+c	A-B	-B	A or B	A and B	A xor B	not B

Nota: i valori numerici da 000 a 111 sono definiti da tre variabili di controllo S1, S2, S3 che permettono di specificare l'operazione richiesta.

A e B sono i due operandi, c il bit di riporto in ingresso al modulo, + e - sono i due operatori aritmetici; and, or, xor e not sono i noti operatori booleani.

Definire chiaramente le scelte effettuate, le proprietà logico-aritmetiche usate, e lo schema logico del modulo.