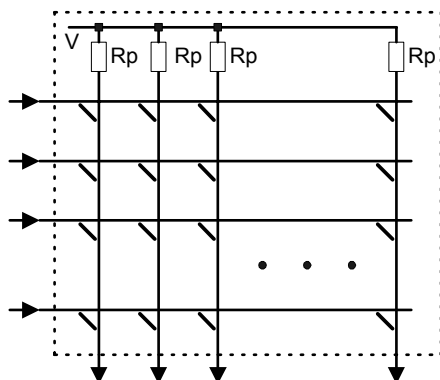


# RETI LOGICHE

## PROVA SCRITTA DELL'APPELLO DEL 11-1-2005

STUDENTE: \_\_\_\_\_ DOCENTE: \_\_\_\_\_

**D1 (50%)** - Si vuole progettare una periferica per l'invio di dati a un microprocessore PD32 mediante una tastiera. I tasti sono disposti su una matrice di contatti di 8 righe x 16 colonne, tali che la pressione di un tasto nella posizione (i, j) chiude il contatto tra la riga di indice i e la colonna di indice j, come rappresentato in figura.



Per rilevare la pressione di un tasto la periferica indirizza ciclicamente le righe della matrice e per ciascuna riga indirizzata rileva l'eventuale chiusura dei singoli contatti su quella riga mediante la lettura sequenziale dello stato delle rispettive colonne.

Al rilevamento della chiusura di un contatto in posizione (i, j) la periferica:

- blocca la scansione della tastiera;
- transcodifica la coppia (i, j) in un codice ASCII corrispondente mediante una ROM;
- invia una richiesta di interruzione al processore, che provvederà ad acquisire il codice ASCII predisposto in un registro dell'interfaccia.
- prosegue la scansione della tastiera solo al verificarsi dei due eventi, indipendentemente dal loro ordine temporale: 1) riconoscimento dell'interruzione da parte del micro e 2) ritorno del tasto premuto nello stato di riposo (apertura del contatto).

Si assuma la disponibilità di decodificatori con al massimo 4 uscite e multiplexer con al massimo 4 ingressi (di dato).

Descrivere l'hardware dettagliato del controllore della tastiera e il software di interfacciamento del PD32.

**D2 (15%)** - Dato un flip-flop D, realizzare un flip-flop T con ingresso di reset sincrono.

**D3 (15%)** - Valutare la frequenza massima di clock di un sistema SCA-SCO di tipo Mealy/D-Mealy in funzione dei parametri caratteristici dei componenti delle due reti.

**D4 (20%)** - Dimensionare uno SCO multimicroprogrammato di tipo D-Mealy per supportare: 20 microprogrammi di lunghezza variabile tra 30 e 120 microistruzioni, un vettore di 4 bit di ingresso, un vettore di 8 bit di uscita, il test simultaneo su 2 bit al massimo. Descrivere l'organizzazione dei microprogrammi nella memoria e la relativa dinamica di esecuzione.

# RETI LOGICHE

## PROVA SCRITTA DELL'APPELLO DEL 14-4-2005

STUDENTE: \_\_\_\_\_ DOCENTE: \_\_\_\_\_

**D1 (60%)** - Si vuole progettare un equalizzatore digitale per segnali musicali campionati alla frequenza di 40 KHz e quantizzati a 8 bit. I campioni arrivano bit a bit all'unità da progettare, mentre su altre due linee di ingresso vengono inviati il segnale di sincronizzazione (CK) dei bit dei campioni e un segnale di allineamento al bit 0 di ciascun campione. L'unità memorizza gli ultimi otto campioni acquisiti in un banco interno di 8 registri a 8 bit; in ogni periodo di campionamento l'unità calcola la somma pesata di tali campioni con un insieme di altrettanti coefficienti (ciascuno minore di 1 e la cui somma è pari a 1) a 8 bit: a questo scopo si prevede di incorporare nell'unità una ROM in cui sono memorizzati i prodotti tra i 256 possibili valori del generico campione e ciascun coefficiente; inoltre la ROM va dimensionata in modo da poter disporre di 32 insiemi (funzioni di equalizzazione) distinti di coefficienti, selezionabili mediante un codice impostato dall'esterno in un registro di interfaccia dell'unità. Ad ogni periodo di campionamento l'unità presenta l'ultima somma pesata prodotta sia a un registro di uscita a 8 bit (uscita digitale), sia a un convertitore digitale/analogico a 12 bit (uscita analogica) incorporato nell'equalizzatore.

**D2 (10%)** - Determinare le soluzioni della seguente equazione:

$$ab + ac + bc = (a \oplus b)c^*$$

**D3 (10%)** - Descrivere uno shifter di tipo n-logn per operandi a 4 bit capace di eseguire lo shift di tipo sia logico sia aritmetico.

**D4 (20%)** - Tre ROM con tempi di accesso rispettivi T, 2T e 4T sono disposte in cascata. Calcolare la frequenza massima di variazione applicabile agli ingressi della rete; quindi trasformare la struttura combinatoria in una di tipo pipeline che sopporti la sostituzione dei vettori di ingresso con periodo T.

# RETI LOGICHE

## PROVA SCRITTA DELL'APPELLO DEL 8-6-2005

STUDENTE: \_\_\_\_\_ DOCENTE: \_\_\_\_\_

**D1 (60%)** - Si vuole progettare una periferica di un processore, dal quale riceve 256 valori numerici positivi rappresentati in virgola mobile a 32 bit in una memoria FIFO di capacità 1024 byte: quando la FIFO è piena la periferica deve estrarre i valori e calcolarne il valor medio. Il risultato (4 byte) deve essere memorizzato in un registro accessibile dal micro in lettura. Progettare l'unità di calcolo in virgola mobile, il relativo sistema di controllo e l'interfaccia con il processore.

**D2 (10%)** - Determinare il numero dei bit di controllo e l'organizzazione della parola di un codice autocorrettore a 32 bit.

**D3 (10%)** - Descrivere lo schema di un contatore bidirezionale a 4 bit con due ingressi di abilitazione al conteggio e all'incremento/decremento.

**D4 (20%)** - Descrivere un sistema SCA/SCO di tipo Mealy/D-Mealy e ricavare la frequenza massima di clock in funzione dei parametri caratteristici dei componenti delle due reti.

# RETI LOGICHE

## PROVA SCRITTA DELL'APPELLO DEL 27-6-2005

STUDENTE: \_\_\_\_\_ DOCENTE: \_\_\_\_\_

**D1 (50%)** - Si vuole progettare un tester di circuiti logici controllato da un processore PD32; i circuiti da collaudare hanno al massimo otto bit di ingresso e otto di uscita. La periferica sia dotata di un banco di memoria RAM di 2 Mword realizzato con moduli da 1 Mbyte, accessibile in scrittura dal micro a partire dall'indirizzo 80000000h: i byte meno pesanti della RAM costituiscono i valori (*vettori di test*) che la periferica dovrà applicare agli ingressi del circuito sotto test e i byte più pesanti rappresentano i valori rispettivi che dovrebbero essere restituiti dal circuito sotto test nel caso di funzionamento corretto. Ad ogni vettore di test applicato la periferica confronta la risposta effettiva del circuito con quella attesa e termina il collaudo del circuito al verificarsi di una delle due condizioni:

- l'applicazione di tutti i vettori di test con esito positivo (tutte le risposte effettive del circuito coincidono con quelle attese);
- la prima discrepanza tra una risposta effettiva e quella attesa (esito negativo).

Quando il micro vuole avviare un collaudo invia alla periferica:

- il numero dei vettori di test (e delle relative risposte) predisposti nella memoria;
- un segnale di inizio collaudo.

In risposta la periferica effettua il collaudo e al termine emette una richiesta di interruzione al processore per comunicargli l'esito del confronto; inoltre, nel caso di esito negativo restituisce al micro sia l'indirizzo del vettore di test che ha determinato la terminazione del collaudo, sia il relativo vettore di risposta del circuito (guasto).

**N.B.** Per effettuare i confronti sempre tra byte, si suppone di estendere i k bit di uscita del generico circuito sotto test con 8-k linee di uscita collegate a 0 logico (ad esempio, nel collaudo di un modulo full-adder al tester verrebbero presentate le due uscite di somma e riporto e inoltre altri sei bit nulli).

**D2 (25%)** - Con riferimento all'esercizio precedente scrivere tre routine assembler PD32 per caricare nella memoria della periferica i vettori di test relativi a una porta AND a otto ingressi, un modulo XOR a quattro ingressi e un invertitore. Corredare le routine anche dei caricamenti dei parametri nella periferica per avviarne le operazioni.

**D3 (15%)** - Indicare il numero  $\pi$  approssimato a 3,1415 in una rappresentazione in virgola mobile a 16 bit, di cui quattro di esponente, basata sulle regole dello standard IEEE.

**D4 (10%)** - Indicare le disequazioni che legano i parametri caratteristici dei componenti di un circuito sequenziale sincrono con flip-flop edge-triggered.

# RETI LOGICHE

## PROVA SCRITTA DELL'APPELLO DEL 18-7-2005

STUDENTE: \_\_\_\_\_ DOCENTE: \_\_\_\_\_

**D1 (50%)** - Si vuole progettare una periferica di un processore per crittografare e trasmettere su una linea seriale esterna i dati di un messaggio caricato dal micro in una memoria FIFO di interfaccia da 1 Kbyte. La periferica su comando del micro scarica i dati dalla FIFO, serializzando ciascun byte non a partire dal primo bit, ma dal bit in posizione  $h$  e poi esplorando il byte in modo circolare; a questo scopo nella periferica è incorporata anche una ROM da 1 Kbyte i cui tre bit meno significativi nella cella  $j$ -esima codificano la posizione  $h$  del bit trasmesso per primo all'interno del byte  $j$ -esimo nella FIFO.

Terminata la trasmissione di un messaggio, la periferica emette un segnale di interruzione al processore e trasmette una stringa di 0 sulla linea seriale.

Nel progetto della periferica è richiesta la descrizione delle relative temporizzazioni.

**D2 (10%)** - Date  $n$  variabili booleane, determinarne le funzioni combinatorie che richiedono il numero massimo di porte logiche.

**D3 (20%)** - Disegnare un registro scalante dotato delle seguenti funzioni:

- abilitazione allo scalamento;
- abilitazione al caricamento parallelo di un dato esterno;
- selezione della direzione (destra/sinistra);
- selezione del tipo di scalamento (aritmetico/logico).

**D4 (20%)** - Illustrare le interfacce hardware e il firmware di un protocollo di sincronizzazione tra due sistemi sequenziali microprogrammati impegnati nel trasferimento unidirezionale di un vettore di dati.

# RETI LOGICHE

## PROVA SCRITTA DELL'APPELLO DEL 18-10-2005

STUDENTE: \_\_\_\_\_ DOCENTE: \_\_\_\_\_

**D1** (60%) - Un parcometro è dotato di quattro sensori preposti al riconoscimento delle monete rispettivamente di 10, 20, 50 centesimi, 1 euro; l'inserimento di una moneta è segnalato dal sensore rispettivo con l'emissione di un impulso. E' disponibile anche un componente con funzioni di orologio, che fornisce l'orario nel formato ore (5 bit) e minuti (6 bit). Inoltre, in una ROM è memorizzata la durata (ore, minuti) della sosta corrispondente a tutti i possibili importi accumulati mediante l'acquisizione delle monete. Si vuole progettare un'unità di controllo per l'acquisizione delle monete, il conteggio del credito cumulativo, il calcolo dell'orario di scadenza della sosta; in particolare l'unità sarà provvista delle seguenti funzioni:

- ad ogni inserimento di una moneta aggiorna il credito accumulato e calcola l'orario del termine del permesso di parcheggio nel formato (ore, minuti);
- rileva la pressione di un tasto di fine inserimento delle monete da parte dell'utente;
- produce un impulso su una linea diretta a una stampante per avviare l'emissione dello scontrino con l'indicazione del credito cumulativo e dell'orario del termine del permesso di parcheggio.

Si supponga che il costo del parcheggio sia di 1 euro / ora e che la sosta consentita sia limitata a 24 ore.

**D2** (10%) - Determinare il numero delle funzioni booleane  $f_k$  di quattro variabili  $a, b, c, d$ , tali che  $f_k(0,0,0,0) = 0$  e  $f_k(1,1,1,1) = 1, \forall k$ .

**D3** (15%) - Indicare la struttura dettagliata di un banco di RAM di capacità 128 MLongword realizzato con moduli RAM di capacità 64 Mbyte e accessibile dal processore PD32 a partire dall'indirizzo 80000000h.

**D4** (15%) - Determinare la massima frequenza di lavoro di un'unità di controllo microprogrammata di tipo D-Mealy in funzione dei tempi caratteristici dei componenti utilizzati.

# RETI LOGICHE

## APPELLO DEL 12-12-2005 - TEMA A

STUDENTE: \_\_\_\_\_

V.O.  N.O.

**D1 (60%)** - Un processore crittografico acquisisce un messaggio di lunghezza 1 Kbyte, bit a bit, su una linea seriale D sincronizzata con un segnale di clock CK. Il bit iniziale (bit 0 del byte 0) del messaggio è segnalato con un impulso su una linea SYNC\_IN sincrona con CK. I byte ricevuti vengono memorizzati in una memoria FIFO da 1 Kbyte. Terminata la memorizzazione del messaggio, il processore estrae i byte dalla FIFO e ne combina i bit in ordine inverso (bit iniziale: bit 7 del byte 0) con i bit di una parola-chiave di 64 bit memorizzata in un registro interno all'unità; quindi invia il flusso seriale crittografato sulla linea di uscita, emettendo un impulso sulla linea SYNC\_OUT all'inizio del messaggio. Progettare lo schema logico del processore e indicare le relative temporizzazioni.

**D2 (10%)** - Sintetizzare la funzione di maggioranza a tre variabili con sole porte logiche di tipo NOR.

**D3 (10%)** - Indicare la struttura dettagliata di un banco di RAM di capacità 512 MWord realizzato con moduli RAM di capacità 64 Mbyte.

**D4 (20%)** - Determinare la massima frequenza di lavoro di un sistema SCA/SCO di tipo Mealy/D-Mealy in funzione dei tempi caratteristici dei componenti delle due reti.