RETI LOGICHE

Prova scritta del 13 settembre 2006

Studente: _____ v.o. o n.o.

D1 (50%) Si vuole progettare un dispositivo che operi come coprocessore per il calcolo di polinomi. Nella fase di configurazione, l'unità riceve dalla CPU fino a 8 coefficienti a_i , $0 \leq i \leq k$, $0 \leq k < 8$; nella fase operativa, per ogni valore x ricevuto dalla CPU, l'unità restituisce il valore

$$y = a_0 + a_1 x + a_2 x^2 + \dots + a_k x^k$$

Per l'esecuzione delle operazioni, si utilizzi un *singolo* modulo moltiplicatore/addizionatore a tre ingressi S , U , V e una uscita $R = S + UV$. Tutti i valori numerici coinvolti sono in formato floating-point a 32 bit. Il risultato è memorizzato in un registro visibile alla CPU.

Si richiede il progetto hardware del dispositivo, e il codice software di pilotaggio per la fase di configurazione e la fase operativa.

D2 (15%) Dimostrare analiticamente il teorema di De Morgan

D3 (15%) Una rete sequenziale sincrona di tipo Mealy ha 3 variabili di ingresso, 4 di stato e 8 di uscita. Quante sono le possibili macchine sequenziali rappresentabili?

D4 (20%) Tre reti combinatorie con tempi di propagazione rispettivamente di 2, 4, 6 nsec sono connesse in serie. Trasformare la serie in una pipeline col minimo tempo di clock utilizzando registri di pipeline con tempo di set-up di 100 psec e di commutazione di 200 psec.