

## Reti Logiche

### Appello del 6 novembre 2006 (V.O.)

Cognome e nome: ..... Matricola: .....

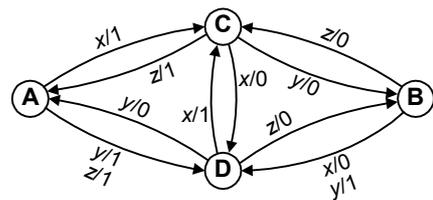
**(D1 – 50%)** Un'interfaccia per bus PD-32 riceve dall'esterno un flusso seriale continuo di dati  $\{\dots, x_{n-1}, x_n, x_{n+1}, \dots\}$  e un clock a cui essi sono sincronizzati. All'arrivo di ogni bit  $x_n$ , gli ultimi 32 bit ricevuti  $x_{n-31}x_{n-30}\dots x_{n-1}x_n$  vengono confrontati ordinatamente con una stringa binaria di riferimento  $M = m_{31}m_{30}\dots m_1m_0$  memorizzata in un registro programmabile dalla CPU, e viene determinato il numero di bit uguali trovati in posizioni corrispondenti:

$$y_n = \sum_{i=0}^{31} f(x_{n-i}, m_i) \quad \text{dove } f(u, v) = \begin{cases} 1 & \text{se } u = v \\ 0 & \text{se } u \neq v \end{cases}$$

L'interfaccia genera un interrupt ogni volta che  $y_n$  supera un valore di soglia  $Y$ , residente su un apposito registro programmabile dalla CPU.

Progettare l'hardware dell'interfaccia.

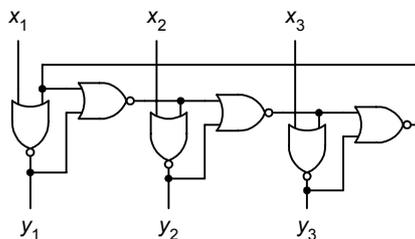
**(D2 – 10%)** Trasformare il diagramma degli stati di una macchina di tipo Mealy, riportato nella figura a lato, nel diagramma per una macchina equivalente di tipo Moore.



**(D3 – 15%)** Progettare una rete combinatoria dotata di due ingressi  $X_0$  e  $X_1$ , di una uscita  $Y$ , e di tre ingressi di controllo  $S_0, S_1, S_2$  che ne programmino il comportamento come porta logica multifunzione secondo la tavola a fianco.

$S_2$	$S_1$	$S_0$	$Y$	$S_2$	$S_1$	$S_0$	$Y$
0	0	0	$X_0 + X_1$	1	0	0	$\bar{X}_0 \bar{X}_1$
0	0	1	$X_0 X_1$	1	0	1	$\bar{X}_0 + \bar{X}_1$
0	1	0	$X_0 \oplus X_1$	1	1	0	$X_0 \oplus \bar{X}_1$
0	1	1	$X_0 + \bar{X}_1$	1	1	1	$\bar{X}_0 X_1$

**(D4 – 15%)** Analizzare il comportamento del seguente circuito:



**(D5 – 10%)** Determinare la frequenza massima di clock per un sistema SCO/SCA di tipo Moore/Mealy in funzione dei parametri delle due reti.