

Interfaccia IF-DTMF

Un'interfaccia IF-DTMF (*Dual Tone Multi-Frequency*), attestata su un bus PD-32 con System Clock a 250 MHz, riceve dalla CPU un codice a 4 bit, in corrispondenza al quale applica a un convertitore digitale/analogico a 12 bit (DAC, Fig. 1) una sequenza numerica costituita dalla *media* dei campioni di due sinusoidi a frequenze f_1 e f_2 , secondo la Tav. I.



Fig. 1

Tav. I

codice	f_1 (Hz)	f_2 (Hz)	codice	f_1 (Hz)	f_2 (Hz)
0001	697	1209	0111	852	1209
0010	697	1336	1000	852	1336
0011	697	1477	1001	852	1477
0100	770	1209	1010	941	1209
0101	770	1336	1011	941	1336
0110	770	1477	1100	941	1477

In corrispondenza ai codici non specificati l'ingresso al DAC deve essere 0; inoltre, le frequenze componenti devono essere generate con errore inferiore allo 0.5% sulla frequenza nominale.

(*) Progetto d'esame per il corso di Reti Logiche, appello del 2007-07-05, Laurea Specialistica in Ingegneria Informatica, Università di Roma "La Sapienza".

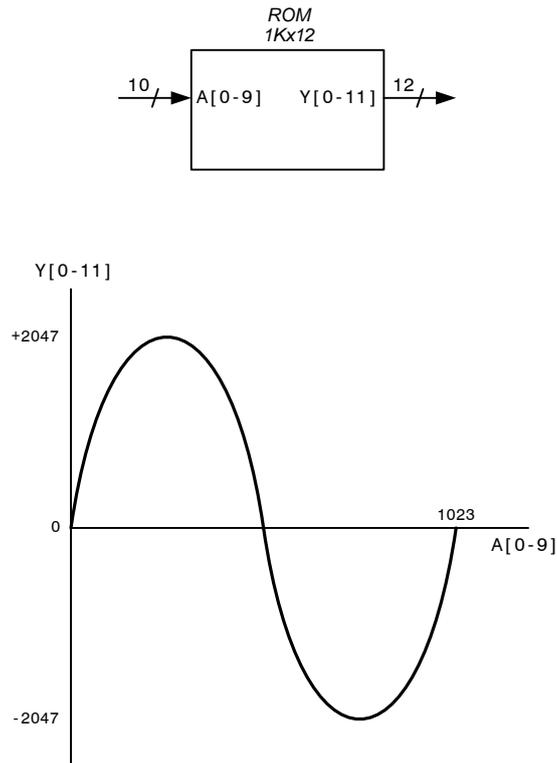


Fig. 1 – La ROM contiene i valori (quantizzati) di una sinusoide completa, ossia della funzione $Y(k) = S \sin 2\pi k / N$, dove $N = 1024$ è il numero delle locazioni, k è il valore numerico applicato agli ingressi di indirizzo $A[0-9]$, ed $S = 2047$ è un fattore di scala legato al numero di bit della parola di memoria. (Si noti che $Y(0) = 0$, ossia che l'uscita della ROM vale 0 quando l'indirizzo applicato è 0, cosa che tornerà utile più avanti.)

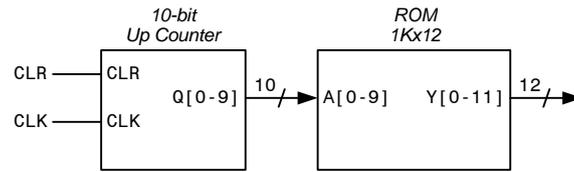


Fig. 2 – Per ottenere la sequenza numerica corrispondente a una sinusoide completa, è sufficiente scandire ordinatamente il contenuto dell'intera ROM mediante un Up Counter a 10 bit. Se il contatore è continuamente attivato, la sequenza numerica corrispondente a una sinusoide completa si ripeterà allora nel tempo con un periodo $T = NT_{CLK}$, dove $N = 1024$ e T_{CLK} è il periodo del clock applicato al contatore; la frequenza di ripetizione della sequenza di uscita sarà allora $f = 1/T = f_{CLK} / N$, dove f_{CLK} è la frequenza del clock applicato al contatore. Si noti come, se CLR è attivo, il contatore produce un indirizzo pari a 0 e la ROM produce di conseguenza un'uscita Y pari a 0.

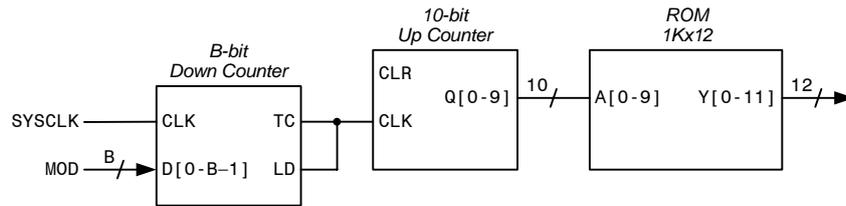


Fig. 3 – Per ottenere una frequenza specifica della sequenza di uscita, sarà allora sufficiente generare una opportuna frequenza di clock per l'Up Counter; ciò si ottiene facilmente mediante un Down Counter configurato come divisore di frequenza, utilizzando come frequenza di base il System Clock a 250 MHz. Ad ogni Terminal Count, il Down Counter viene ricaricato in maniera sincrona con il valore numerico presente agli ingressi MOD; in tal modo, la frequenza del segnale prodotto all'uscita TC sarà pari a $f_{TC} = f_{SYS} / M$, dove $f_{SYS} = 250$ MHz è la frequenza del System Clock ed M è il modulo di conteggio del Down Counter. Si noti come il valore applicato agli ingressi MOD debba in tal caso essere pari a $M - 1$. Il numero di bit B del Down Counter rimane per il momento non specificato.

Frequenza nominale	M_{nom}	M_{min}	M_{max}	F_{min}	F_{max}	E_{min}	E_{max}	$M-1$
697	350.27	350	351	697.54	695.56	0.08	-0.21	349
770	317.07	317	318	770.16	767.74	0.02	-0.29	316
852	286.55	286	287	853.64	850.66	0.19	-0.16	286
941	259.45	259	260	942.63	939.00	0.17	-0.21	258
1209	201.94	201	202	1214.63	1208.62	0.47	-0.03	201
1336	182.74	182	183	1341.43	1334.10	0.41	-0.14	182
1477	165.29	165	166	1479.64	1470.73	0.18	-0.42	164

Fig. 4 – Le sequenze sinusoidali di cui è richiesta la generazione, indipendentemente dal canale su cui vengono emesse, hanno le frequenze nominali elencate nella prima colonna. Nella seconda colonna appaiono i corrispondenti *moduli nominali* di conteggio per il Down Counter divisore di frequenza, pari a $M_{nom} = f_{SYS} / N / f_{nom}$, dove f_{nom} è la frequenza nominale della sequenza sinusoidale in uscita. Tuttavia, poiché il modulo di conteggio deve essere un numero intero, per ciascun M_{nom} occorrerà scegliere tra l'intero immediatamente inferiore (M_{min}) e l'intero immediatamente superiore (M_{max}), che sono elencati rispettivamente nella terza e nella quarta colonna. Di conseguenza, le frequenze generate in corrispondenza a ciascuna delle due approssimazioni (rispettivamente F_{min} e F_{max} , elencate in quinta e sesta colonna) saranno affette da errore rispetto alla frequenza nominale richiesta. Pertanto, tra i due moduli approssimati si sceglierà quello che produce il *minimo errore percentuale assoluto* rispetto alla frequenza nominale desiderata. Gli errori percentuali E_{min} ed E_{max} , corrispondenti rispettivamente al modulo M_{min} ed M_{max} , sono elencati in settima ed ottava colonna; i valori evidenziati in grassetto sono quelli corrispondenti agli errori percentuali assoluti più piccoli. In ultima colonna, infine, appaiono i valori di $M-1$ che vanno applicati agli ingressi MOD del Down Counter divisore di frequenza; poiché il minimo e il massimo tra tali valori sono rispettivamente 164 e 349, ne consegue che il Down Counter dovrà essere configurato con almeno 8 bit a con al più 9 bit.

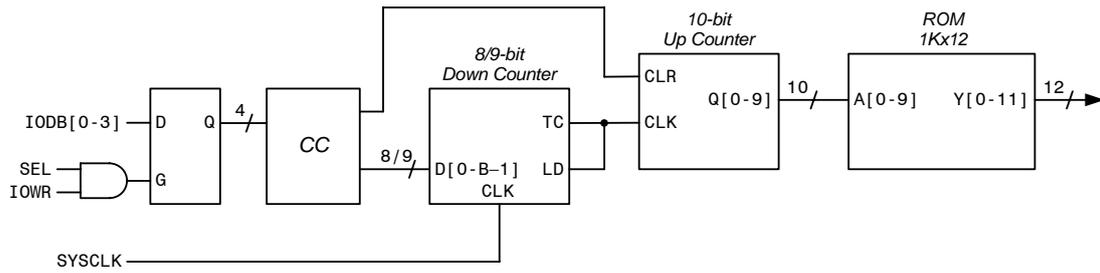


Fig. 5 – Schema completo per ciascuno dei due canali. Il codice di frequenza, applicato all'interfaccia tramite una porta di output a 4 bit comune per entrambi i canali, viene convertito da un circuito combinatorio *CC* nel valore *MOD* corrispondente alla frequenza desiderata; *CC* provvede inoltre a generare il Clear per il contatore di indirizzi in modo da forzare a 0 l'uscita della ROM quando il codice applicato è pari a 0000.

Codice	Canale #1			Canale #2		
	Frequenza nominale	MOD	CLR	Frequenza nominale	MOD	CLR
0000	<i>dnc</i>	<i>dnc</i>	1	<i>dnc</i>	<i>dnc</i>	1
0001	697	349	0	1209	201	0
0010	697	349	0	1336	182	0
0011	697	349	0	1477	164	0
0100	770	316	0	1209	201	0
0101	770	316	0	1336	182	0
0110	770	316	0	1477	164	0
0111	852	286	0	1209	201	0
1000	852	286	0	1336	182	0
1001	852	286	0	1477	164	0
1010	941	258	0	1209	201	0
1011	941	258	0	1336	182	0
1100	941	258	0	1477	164	0
1101	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>
1110	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>
1111	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>	<i>dnc</i>

Fig. 6 – Comportamento del circuito combinatorio *CC* per ciascuno dei due canali (*dnc* indica *don't care*). Si noti come per il primo canale MOD deve essere espresso su 9 bit, mentre per il secondo canale MOD può essere espresso con soli 8 bit. Data la complessità del circuito combinatorio, esso sarà realizzato con una ROM o, meglio, con una PLA.

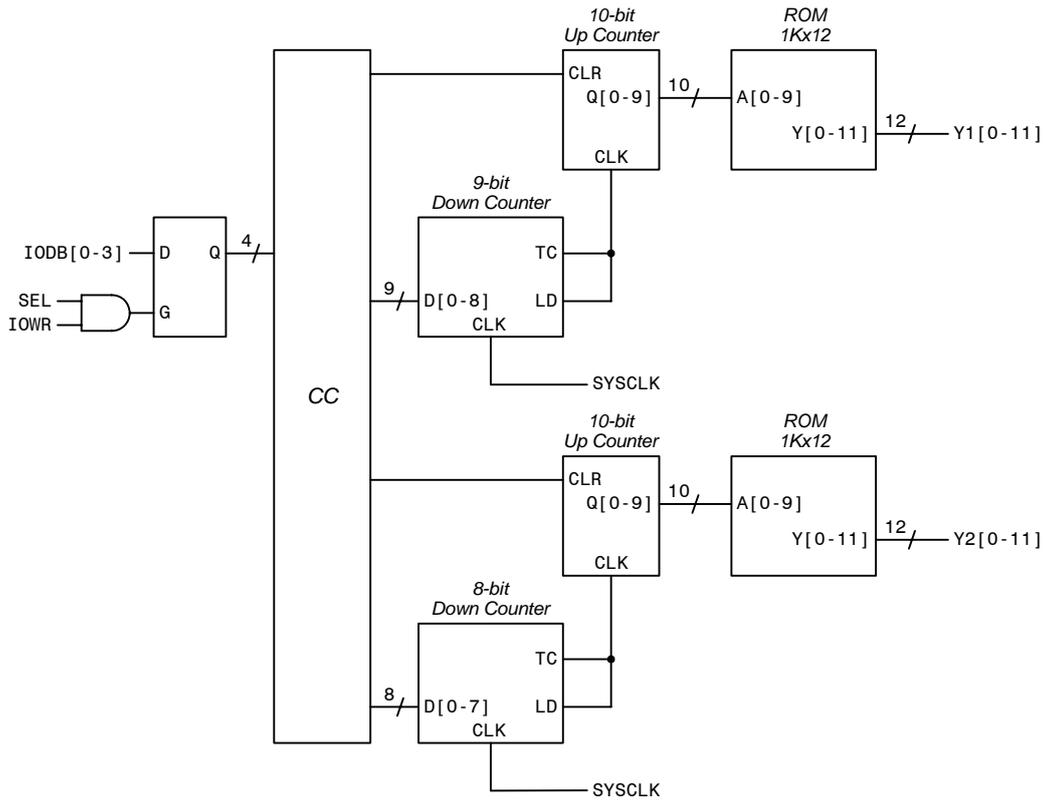


Fig. 7 – Schema completo per la generazione delle sequenze numeriche sinusoidali per entrambi i canali. Il segnale SEL viene, come di solito, ottenuto mediante opportuna decodifica dell'I/O Address Bus.

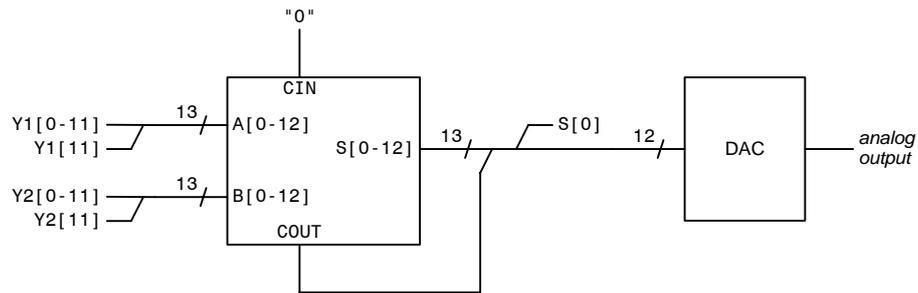


Fig. 8 – Al fine di ottenere la media $(Y_1 + Y_2)/2$ delle due sequenze sinusoidali da applicare al Digital-to-Analog Converter (DAC), le uscite dalle due ROM vengono combinate mediante un addizionatore a 13 bit, dove il bit in più ha lo scopo di evitare ogni problema di overflow. I due operandi vengono estesi in segno, il carry-out viene ignorato, e la divisione per 2 viene realizzata semplicemente scartando il bit meno significativo del risultato.