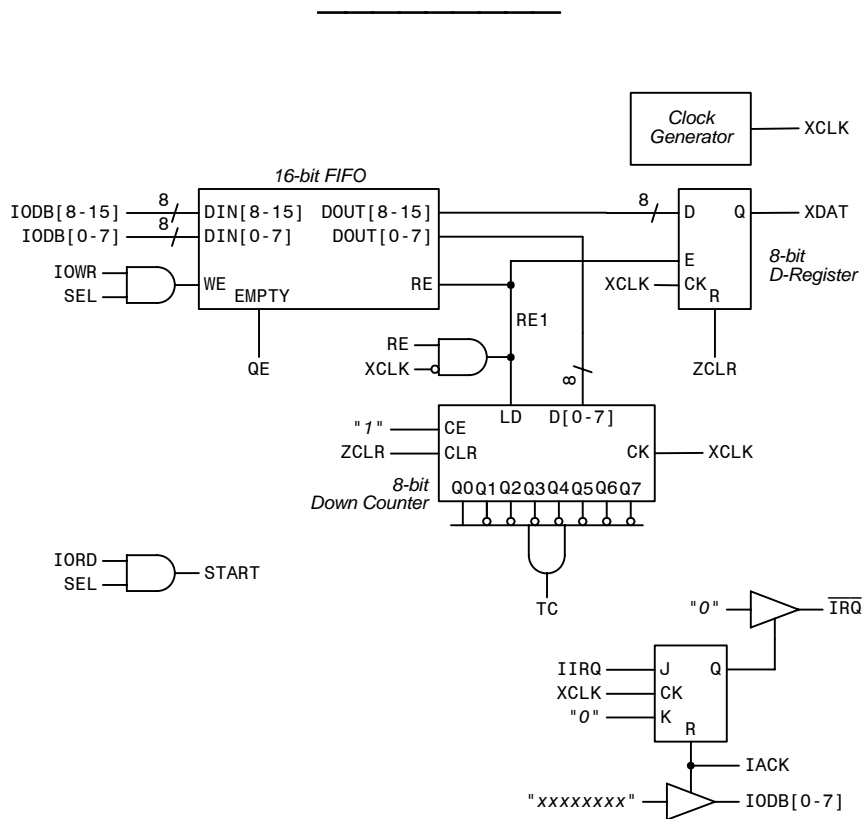


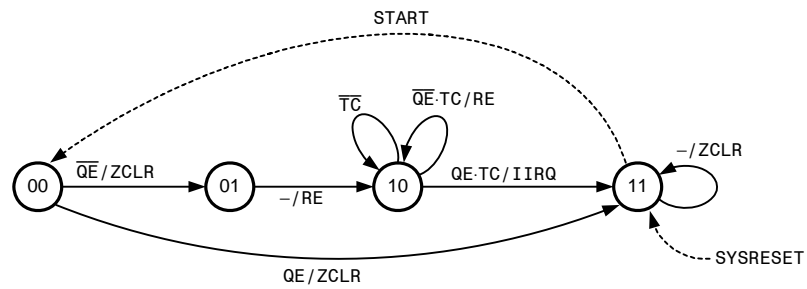
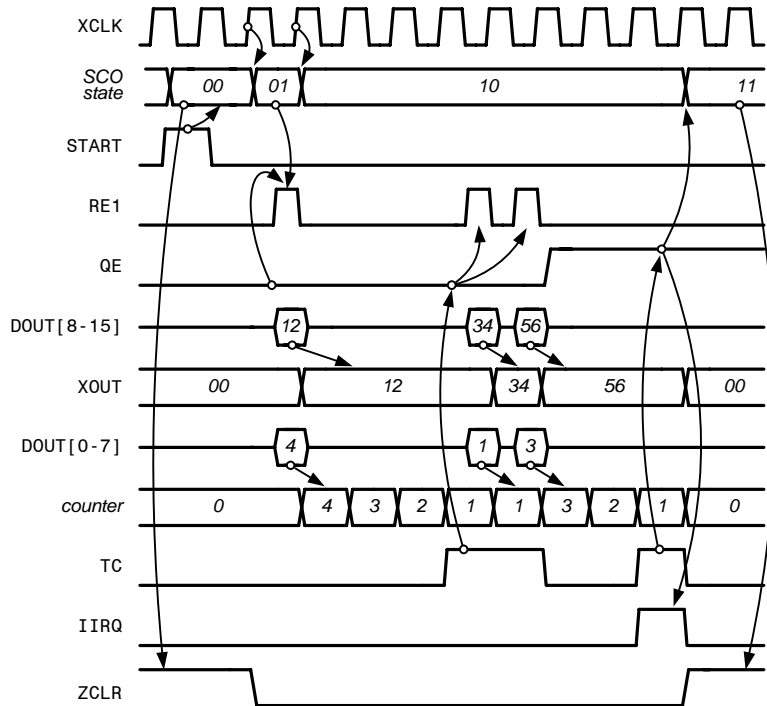
## Reti Logiche

### Appello del 14 dicembre 2007

(D1) Un'interfaccia IFRLD (*Run-Length Decoder*) riceve dalla CPU PD-32, attraverso una memoria FIFO, una sequenza di coppie di valori ad 8 bit  $\{X, N\}$ , dove  $N > 0$ . Su comando della CPU, l'interfaccia estrae le informazioni dalla memoria FIFO e, per ogni coppia  $\{X, N\}$  letta, emette su una linea di uscita ad 8 bit verso il mondo esterno una sequenza di  $N$  valori identici  $X$ , sincronizzati a un clock generato internamente all'interfaccia, senza soluzione di continuità tra una sequenza di uscita e la successiva. Al termine delle operazioni, IFRLD emette un interrupt verso la CPU e invia costantemente  $X = 0$  in uscita.

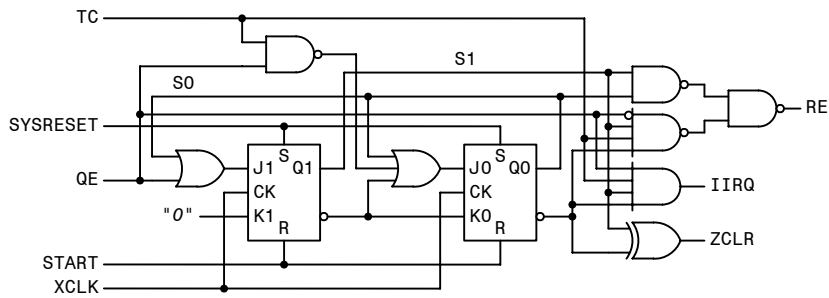
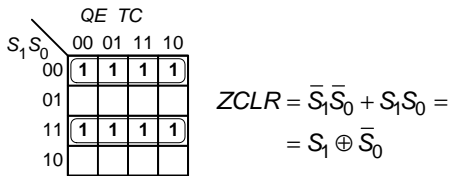
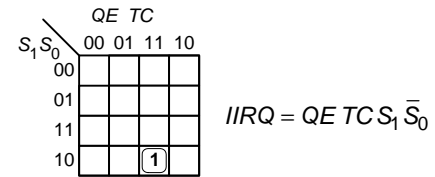
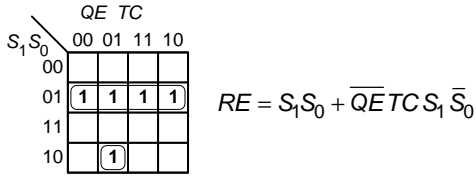
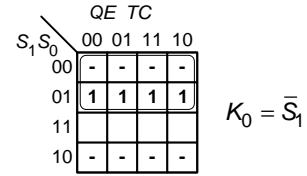
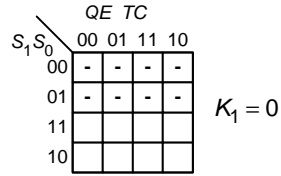
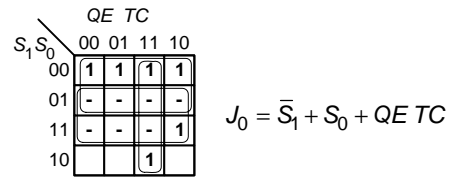
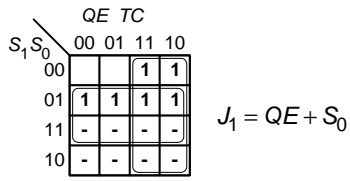
Progettare l'hardware dell'interfaccia e illustrare le temporizzazioni relative.





$S_1S_0$	$QE\ TC$ $S_1S_0 / RE\ ZCLR\ IIRQ$			
	00	01	10	11
00	01/010	01/010	11/010	11/010
01	10/100	10/100	10/100	10/100
10	10/000	10/100	10/000	11/001
11	11/010	11/010	11/010	11/010

$S_1S_0$	$QE\ TC$ $J_1\ K_1\ J_0\ K_0$			
	00	01	10	11
00	0-1-	0-1-	1-1-	1-1-
01	1--1	1--1	1--1	1--1
10	-00-	-00-	-00-	-01-
11	-0-0	-0-0	-0-0	-0-0



(D2) Risolvere il seguente sistema di equazioni Booleane:

$$\begin{cases} \bar{x}_2(x_1 \oplus x_3) + \bar{x}_1x_3 = x_1x_2 + \bar{x}_3(x_1 + \bar{x}_2) \\ \bar{x}_1(x_2 \oplus \bar{x}_3) + x_1\bar{x}_3 = \bar{x}_1 \oplus x_2 \end{cases}$$


---

$$f_1 = \bar{x}_2(x_1 \oplus x_3) + \bar{x}_1x_3$$

$$f_2 = x_1x_2 + \bar{x}_3(x_1 + \bar{x}_2)$$

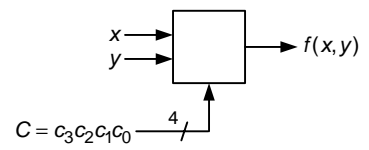
$$f_3 = \bar{x}_1(x_2 \oplus \bar{x}_3) + x_1\bar{x}_3$$

$$f_4 = \bar{x}_1 \oplus x_2$$

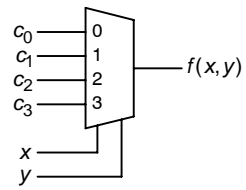
$x_1x_2x_3$	$f_1$	$f_2$	$f_3$	$f_4$	$f_1 = f_2$	$f_3 = f_4$	$(f_1 = f_2) \text{ AND } (f_3 = f_4)$
000	0	1	1	1	0	1	0
001	1	0	0	1	0	0	0
010	0	0	0	0	1	1	1
011	1	0	1	0	0	0	0
100	1	1	1	0	1	0	0
101	0	0	0	0	1	1	1
110	0	1	1	1	0	1	0
111	0	1	0	1	0	0	0

$$\bar{x}_1x_2\bar{x}_3 + x_1\bar{x}_2x_3 = 1$$

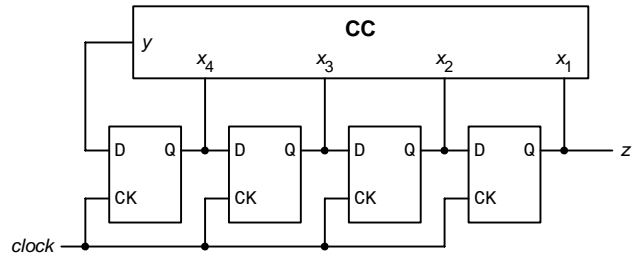
**(D3)** Progettare un circuito (v. figura a fianco) che, in funzione di un codice di controllo  $C = c_3c_2c_1c_0$ , produca in uscita tutte le possibili funzioni delle due variabili  $x, y$ .



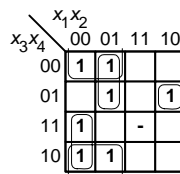

---



(D4) Il circuito illustrato nella figura a fianco deve generare all'uscita  $z$  la sequenza  $S = 000010110100111$ , che si ripete periodicamente e indefinitamente. Assumendo che lo stato iniziale sia tale che  $x_1 = x_2 = x_3 = x_4 = 0$ , e che in tali condizioni su  $z$  sia presente il primo bit della sequenza  $S$ , determinare la funzione  $y = f(x_1, x_2, x_3, x_4)$  che il circuito combinatorio  $CC$  deve realizzare, e ricavarne quindi un'implementazione.



$x_1x_2x_3x_4$	$y$
0000	1
0001	0
0010	1
0011	1
0100	1
0101	1
0110	1
0111	0
1000	0
1001	1
1010	0
1011	0
1100	0
1101	0
1110	0
1111	-



$$y = \bar{x}_1\bar{x}_4 + \bar{x}_1x_2\bar{x}_3 + \bar{x}_1\bar{x}_2x_3 + x_1\bar{x}_2\bar{x}_3x_4$$

