

Reti Logiche Appello del 5 giugno 2008

Cognome e nome:

Matricola:

N.O. V.O.

(D1 – 60%) Un'interfaccia IF-REV riceve dalla CPU PD-32 l'indirizzo iniziale P e la lunghezza $N > 0$ (in byte) di un buffer interamente contenuto in un blocco di *memoria condivisa (shared memory)* da 1024 longword. Su comando dalla CPU, l'interfaccia inverte la posizione dei byte all'interno del buffer ($P[k] \leftrightarrow P[N - k - 1]$) e notifica alla CPU il completamento delle operazioni.

Si assuma che:

- il System Clock abbia frequenza di 100 MHz;
- il blocco di memoria condivisa sia allocato all'indirizzo 0FFFFFF000h;
- i moduli con cui è implementata la memoria condivisa abbiano tempo di lettura/scrittura pari a 10 nsec e tempo di hold pari a 2 nsec.

Progettare l'hardware dell'interfaccia e illustrarne le temporizzazioni.

(D2 – 10%) Date le funzioni di commutazione

$$f(x, y, w, z) = x(w + \bar{y}z) + \bar{y}(\bar{x}\bar{w}\bar{z} + xz)$$

$$g(x, y, w, z) = w(x + \bar{y}\bar{z}) + \bar{w}(\bar{x}\bar{y}\bar{z} + yz)$$

determinare tutte le funzioni $h(x, y, w, z)$ tali che

$$f + \bar{h} = g$$

(D3 – 10%) Sintetizzare in logica CMOS la funzione di commutazione

$$f = xy + xz + yz$$

(D4 – 20%) Progettare un circuito sequenziale sincrono che accetti in ingresso, a partire dal meno significativo, i bit x_0, x_1, x_2, \dots di un numero binario assoluto N e produca in uscita il valore di $N \bmod 3$, ossia il resto della divisione intera di N per 3.