Università di Roma "La Sapienza" – Corso di Laurea Specialistica in Ingegneria Informatica

Reti Logiche

Appello dell'8 luglio 2008

Cognome e nome: ..... *Matricola:* .....

☐ N.O. ☐ V.O.

(D1 – 60%) Un'interfaccia IF-RLE riceve in continuazione da un bus esterno $\texttt{XDAT}_{0-7}$ dati paralleli a 8 bit, sincronizzati a un clock esterno `XCLK` e a un segnale `XSYNC` che individua l'inizio di un blocco di 4096 dati. L'interfaccia comprime il blocco con un algoritmo di *run-length encoding* in cui una sequenza di N byte uguali consecutivi di valore X viene trasformata nella coppia di byte { N, X }; se $N > 255$, la sequenza viene suddivisa nel minimo numero di sottosequenze di lunghezza inferiore a 256, ciascuna codificata come sopra. Ad esempio, la sequenza { 23 23 23 23 23 } viene codificata come { 05, 23 }, mentre una sequenza di 1000 byte uguali a 37 viene codificata come { 255, 37 }{ 255, 37 }{ 255, 37 }{ 235, 37 }. I risultati della compressione vengono inviati alla CPU PD-32 non appena vengono generati.

Progettare l'hardware dell'interfaccia e illustrarne le temporizzazioni.

(D2 – 10%) Risolvere il sistema di equazioni booleane:

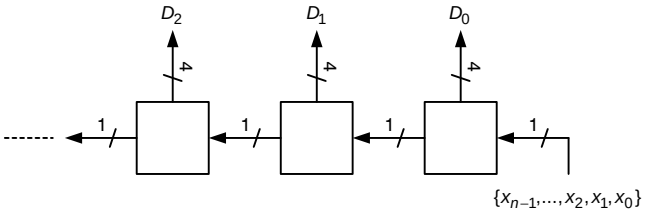
$$\begin{cases} z(\overline{x} \oplus y) + \overline{x}(y \oplus z) = \overline{x}(y \oplus z) + x\overline{y}z \\ \overline{y}(\overline{x} + z) + \overline{x}(\overline{y} + \overline{z}) = y(\overline{x} + z) + z(x + y) \\ \overline{x} \oplus y = y(x + z) + \overline{y}(x + \overline{z}) \end{cases}$$

(D3 – 15%) Un modulo combinatorio **S** (*sort*) accetta in ingresso due operandi interi assoluti X_1, X_2 con numero predeterminato di bit, e riemette sulle uscite Y_1, Y_2 gli stessi due operandi in modo che $Y_1 \geq Y_2$.

(a) Progettare il modulo **S** come rete combinatoria iterativa.

(b) Definire una rete combinatoria in grado di ordinare *tre* operandi, utilizzando soltanto moduli **S**.

(D4 – 15%) Una rete sequenziale sincrona accetta in ingresso, a partire dal più significativo, i bit $x_{n-1}...x_2x_1x_0$ di un numero intero assoluto N, e produce in uscita la rappresentazione BCD di N. La rete ha struttura modulare (cfr. figura a fianco) tale che ciascun modulo genera una singola cifra BCD del risultato. Progettare il circuito relativo al singolo modulo, e determinare il numero di moduli necessari in funzione del numero n di bit dell'ingresso N.



Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.

Firma leggibile

.....

RL080708